

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 4 0 2 1 1

(43) 公開日 平成 1 0 年 (1 9 9 8) 2 月 1 3 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G06F 13/28	310		G06F 13/28	310 B

審査請求 未請求 請求項の数 2 O L (全 3 7 頁)

(21) 出願番号 特願平 9 - 1 1 1 6 1 6
(22) 出願日 平成 9 年 (1 9 9 7) 4 月 2 8 日
(31) 優先権主張番号 0 1 5 0 2 1
(32) 優先日 1 9 9 6 年 4 月 3 0 日
(33) 優先権主張国 米国 (U S)

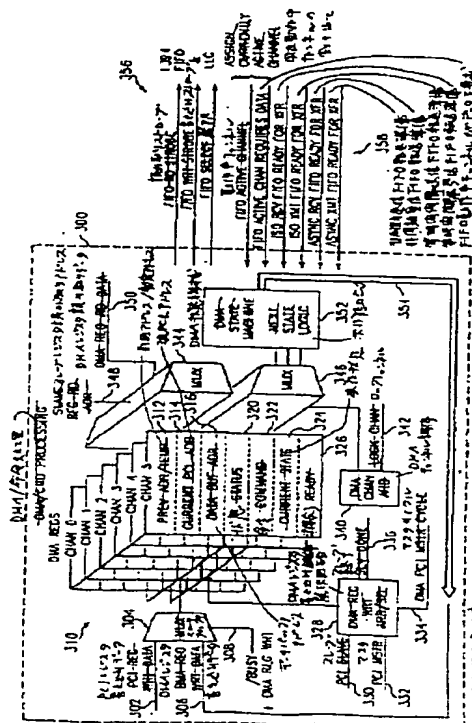
(71) 出願人 5 9 0 0 0 0 8 7 9
テキサス インストルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 1 3 5
0 0
(72) 発明者 リチャード ティー. ベイカー
アメリカ合衆国テキサス州オースチン, シ
ルバーリーフ ドライブ 3 0 0 3
(72) 発明者 ランドール イー. ピフォ
アメリカ合衆国テキサス州リーランド, ノ
ース リム ドライブ 1 8 2 0 8
(74) 代理人 弁理士 浅村 皓 (外 3 名)

(54) 【発明の名称】 パケット化されたデータ通信インタフェース機器内での直接メモリアクセス優先順位を割り当てるための方法ならびに DMA チャンネル回路

(57) 【要約】

【課題】 パケット化されたデータ通信インタフェース内で直接メモリアクセスの優先順位を割り当てるための方法およびシステムを提供し効率的なデータ転送を実現する。

【解決手段】 P C I インタフェースバス内で、現在使用中の DMA チャンネル番号に最も高い優先順位を割り当てる。DMA チャンネル調停回路は、この現在使用中の DMA チャンネルを使用したデータ転送が、予め定められた境界条件に達するまでは、このチャンネルのサービスを継続する。前記境界条件が生じたところで、次の優先順位を有する DMA チャンネルに移動することで、効率的なデータ転送を実現する。



【特許請求の範囲】

【請求項 1】 直接メモリアクセス (DMA) チャンネル優先順位を、転送される個々のデータパケットに関連するデータパケット転送機器に対して割り当て、前記直接メモリアクセスチャンネルの迅速なスケジューリングを提供することにより、データ転送行動を最適化するための方法であって、

データパケット転送機器に対する物理媒体インタフェース上のデータパケットに関連する DMA チャンネルを判定し、

物理媒体インタフェース上で現在動作中のデータ転送に関連する DMA チャンネル番号に関する情報を、DMA 調停ロジックに前記 DMA チャンネル番号に最も高い優先順位値を割り当てて供給し、

現在動作中 DMA チャンネルへのサービスを予め定められた境界条件が存在するまで継続し、

境界条件が発生したことを判定した時点で、DMA エンジンの実行を最も高い優先順位を有する DMA チャンネルに移動する、ステップを含む方法。

【請求項 2】 PCI シリアルバスインタフェース機器内で、転送される特定のデータパケットに関連したデータパケット転送機器に DMA チャンネル優先順位を割り当て、前記 DMA チャンネルの迅速なスケジューリングを行い、データ転送行動の最適化を図る、直接メモリアクセス (DMA) チャンネル回路であって、データパケット転送機器用の物理媒体インタフェース上のデータパケットに関連する DMA チャンネルを決定するための DMA チャンネル決定回路と、

物理媒体インタフェース上で現在動作中のデータ転送に関連する DMA チャンネル番号に関する情報を、DMA 調停ロジックに、前記 DMA チャンネル番号に最も高い優先順位値を割り当てて供給するマイクロプロセッサ DMA チャンネル用の命令と、

現在動作中 DMA チャンネルへのサービスを予め定められた境界条件が存在するまで継続するためのマイクロプロセッサ DMA チャンネルサービス命令と、

境界条件が発生したことを判定した時点で、DMA エンジンの実行を最も高い優先順位を有する DMA チャンネルに移動するための移動回路と、を含む DMA チャンネル回路。

【発明の詳細な説明】

【0001】

【関連する特許明細書】本明細書は、ここでも参照されている米国特許明細書連続番号第 (T I - 22691) 号、暫定特許明細書として 1996 年 4 月 26 日に出願された、“受信データパケットにチャンネル番号を割り付けるための方法、装置ならびにシステム”、現米国特許第____号の続きである。

【0002】

【発明の属する技術分野】本発明は一般的には電子機器

の分野に関し、更に詳細にはパケット化されたデータに関する通信インタフェース装置に関し、また更に詳細には IEEE 標準 1394 標準に準拠したプラットフォーム指定通信インタフェース機器内での直接メモリアクセス優先順位を割り当てるための方法に関する。

【0003】

【従来の技術】多くのマルチメディアアプリケーションに関して処理装置速度だけが重要なのではなくて、入出力帯域幅もまたパーソナルコンピュータ上でのアプリケーションを制限する重大な要因である。この制限を解消するために、IEEE 1394 標準では高性能マルチメディア接続を、カムコーダ (camcorder)、テレビ、ステレオ、CD 交換機、セットトップボックス (set-top boxes)、ミキシングコンソールならびにミュージックキーボード、同様に従来からのパーソナルコンピュータ機器との間で可能にしている。”ファイアワイヤ (FireWire)” 標準として知られている IEEE 1394 は携帯型ならびにデスクトップコンピュータ環境でのバスインタフェース標準を提供している。この IEEE 1394 標準は消費者とコンピュータ市場とを繋ぐ重要なリンク技術として機能しており、高度通信プロトコルで駆動されるシリアルバスを記述している。IEEE 1394 シリアルバスは廉価なシステムコストで、一方高性能周辺機器バスに必要なデータ転送速度を提供するように設計されている。

【0004】電気電子技術者協会 (IEEE) ならびにその会員コンピュータ会社によって策定された IEEE 1394 標準はシリアルバスインタフェースであって、低価格、高速デジタルデータ転送ならびに通信を可能とする。装置間の転送速度は最大 400 メガビット毎秒 (Mbps) にまで達し、非同期および等時間間隔データ転送モードの両方を介して実現できる。IEEE 1394 標準インタフェースはそれ自体ビデオアプリケーションに適しているが、それは等時間間隔時分割システムで動作しているからである。例えば、仮にシステムが 1 フレームを 1/15 秒毎に出力するように構成されていたとすると、少なくとも 1 フレームが出力される全てのパケットの中に存在するはずである。この結果ビデオが滑らかに見えることになる。この理由により IEEE 1394 標準インタフェースは、これもまた等時間間隔モードで動作する非同期転送モード (ATM: asynchronous transfer mode) の様な技術と高い互換性を有する。

【0005】IEEE 1394 標準の利点はデータの実時間転送にあり、これはマルチメディアアプリケーションの相互接続として理想的な利点を提供する。小型で耐久性がありしかもフレキシブルなケーブルおよびケーブル接続器を使用することにより、IEEE 1394 標準は価格の節約を実現しある種のケーブル仕様に対する要求を不要とする。IEEE 1394 標準は汎用入出力相互接続を提供し、これは入出力ポートを統合する一方で

プリント回路基板のスペースを合併整理する。更に、IEEE 1394 標準はピア・ツウ・ピア通信構造を提供し、これは周辺機器がホスト装置に負荷を課することなく互いに直接通信することを可能とする。

【0006】IEEE 1394 標準は高速シリアルバスを提供し、これはヘッダを含むパケット化されたデータを使用する。ヘッダはルーティング情報を含む。更に、パケット化されたデータはペイロードデータを含む。媒体の物理特性は長距離伝送用に設計される必要はない。

IEEE 1394 標準は、机上バスで動作するローカルエリアネットワークの様な短距離用に設計されている。その距離はしばしば単なる机上というよりは長くなるが、IEEE 1394 標準はローカルエリアネットワーク動作で使用されることは意図していない。従って、基本的に IEEE 1394 標準は、ワークステーション、家庭用コンピュータ、テレビ、VCR、カムコーダの様な装置に、オーディオ、ビデオ、文字の様な種々の媒体型式がアクセスするためのシリアルバスおよびパラレルバスを置き換えるための高速相互接続を提供する。

【0007】既存の IEEE 1394 標準インタフェース機器に関しては、種々の直接メモリアクセス (DMA) チャンネルを最適性能とするために如何にして調停し、またスケジューリングするかという問題が存在する。スケジューリングの問題が生じ、これは IEEE 1394 標準バスへのデータ転送を行う際の、高速 DMA チャンネル割り付けを妨げる。しかしながらこの様な問題は、IEEE 1394 標準に特有のものでは無い。多くの同様の事象に於いて、DMA 動作のスケジューリングの最適解を求める問題は存在する。DMA チャンネルを動作させている、これらの優先順位計画を実施するための従来からの方法は最適とは言えないものである。もしも 1 つの DMA チャンネルがデータを有し、それがパーソナルコンピュータへ送られるものであって、かつ最高の優先順位を持つものと仮定すると、その DMA チャンネルは要求されたアクセスを受信するひとつであるか、またはその最高の優先順位チャンネル以前に要求されたアクセスを受信する別のチャンネルが存在することがある。

【0008】例えば、IEEE 1394 標準およびその他のシステムが使用する多くの PCI インタフェース機器は "ラウンドロビン" 技術を採用している。この様な技術では、サービス対象として $[N+1]$ 個の DMA チャンネルが存在する場合、各々のチャンネルを 0 から N へ順番に使用する。その結果、各 DMA チャンネルは順番に時分割で受信する。ラウンドロビン技術の問題点は、最高の優先順位のチャンネルが PCI インタフェース機器上で現在動作中のチャンネルとはならないことである。より高速の IEEE 1394 標準インタフェースでは、現在 FIFO の中にあるデータは、その FIFO から非常に早く抜き出されるかまたは満たされる。

【0009】IEEE 1394 標準型式 PCI インタフェース機器のスケジューリングおよび調停問題は、重要な仕事を行っているチャンネル上での優先順位に基づく調停作業の時に特に重要である。しかしながらこの作業を行うことは、現在動作中のチャンネルは満足しない。もしもインタフェース機器が現在動作中のチャンネルを実時間で満足しない場合は、PCI インタフェースをサポートしている 1 つまたは複数の FIFO 機器の中で、データの未達または超過が起こるのであろう。これは現在動作中のチャンネルを停止状態に異常終了させたり、エラー状態を生成することになるであろう。この様なエラー状態は IEEE 1394 標準または同様の通信バス内の通信フローに対して正しくないまたは害となる影響を与えるであろう。

【0010】この様なラウンドロビンまたは同様の技術に於いて、転送機器が順番にチャンネルを選択するために、チャンネルへのサービスが遅れてしまうという問題がある。順番に処理する事で生じる遅れのため、チャンネルの実時間サービスが往々にして行えないことになる。これは通信フローを減速し、IEEE 1394 標準を採用する利点に制限を加えることにもなる。

【0011】

【発明が解決しようとする課題】上記の問題点を鑑みると、たとえ多数の現在動作中のチャンネルが存在しても、多重チャンネル直接メモリアクセスエンジン上で、直接メモリアクセスチャンネルの調停およびスケジューリングを行うための方法ならびにシステムが必要である。

【0012】また、作業が指定されたチャンネル上で実施されたときに、その作業が有用であるだけでなく、また有用で無くても、FIFO の超過および未達の問題を解決するために、現在動作中のチャンネルを確実に満足させる機構が必要である。

【0013】また更に、DMA チャンネルへ何らかの形式の据え置きにされたサービスを提供することとは対照的に、DMA チャンネルを実時間でサービスするための方法およびシステムが必要である。

【0014】更に、従来の FIFO 超過および未達問題を解決するために、大きすぎる FIFO の命令を防止する、DMA チャンネルサービスの方法を提供する必要がある。

【0015】本発明によれば、直接メモリアクセス優先順位を割り当てるための方法およびシステムが提供されており、これは従来開発された IEEE 1394 標準または同様のデータ通信システム内の直接メモリアクセス優先順位を割り当てるための方法およびシステムに関連する、欠点および問題点を基本的に解決するかまたは軽減するものである。

【0016】本発明のひとつの機能として、IEEE 1394 標準を満足するようなデータパケット転送通信バ

スに関連するデータパケット転送機器の、直接メモリアクセス (DMA) チャンネル優先順位を割り当てる方法およびシステムが提供されている。この方法およびシステムは、データパケット転送機器に対して物理媒体インタフェース上を現在転送されているパケットに関連する DMA チャンネルを判定する。この方法およびシステムはまた、現在直接メモリアクセスチャンネルにサービスしている DMA エンジン内のレジスタのセットも管理する。本発明は最も高い優先順位を、物理媒体インタフェース上で転送している動作中の DMA チャンネルに割り当て、これを DMA 調停ロジックに通信する。次に、この方法およびシステムは、現在動作中の DMA チャンネルの予め定められた境界条件が存在するところまで、サービスを継続する。続いてこの方法は、DMA チャンネル実行を最高の優先順位を有する次の動作中 DMA チャンネルに移す。もしも物理媒体インタフェースへのデータ転送が動作中の場合は、DMA チャンネル実行はそのデータ転送に関連する DMA チャンネルに移される。

【0017】本発明の技術的特長は、たとえ現在動作中のチャンネルが多数存在していたとしても、多重チャンネル DMA エンジン上の DMA チャンネル調停およびスケジューリングを行う方法を提供することである。

【0018】本発明の別の技術的特長は、作業が 1 つのチャンネル上で実行されているときに、その作業が有用である場合のみならず、有用で無い場合も現在動作中の DMA チャンネルを確実に満足させる機構を提供することである。これは既知の DMA チャンネル割り当て方法では起こる可能性のある、FIFO の超過および未達問題を軽減または除去する。

【0019】本発明のまた別の技術的特長は、サービスを必要とする DMA チャンネルからの要求を据え置く代わりに、DMA チャンネルを実時間でサービスするための方法およびシステムを提供することである。

【0020】本発明のまた別の技術的特長は、要求された FIFO サイズを最少とすることを助け、これによって IEEE 1394 標準型バスに準拠した転送機器をサービスする FIFO で必要とするシリコン要求量を最少とする点である。

【0021】本発明の更に別の技術的特長は、単純な経路を提供することであり、これによって IEEE 1394 標準および同様の通信インタフェース機器に準拠した既存の転送機器に比較して信頼性を改善する点である。更に、本発明の技術的特長は IEEE 1394 標準に対して簡単に適用できる点である。本発明は本質的に如何なる型式の通信環境の如何なるシリアルデータストリームに対しても適用できる。

【0022】本発明及びその特長は添付図面を参照して行う以下の説明より更に完全な理解が得られるであろう。添付図面に於いて同一の参照番号は同一の事象を示す。

【0023】

【発明の実施の形態】本発明の提出された実施例は添付図面に図示されており、ここで同一番号は種々の図面に渡って同一の対応する部品を参照する。

【0024】図 1 はパーソナルコンピュータ環境 10 を概念的に図示しており、これは点線の箱 12 で示されるパーソナルコンピュータ 12 と点線の箱 14 で示される関連の周辺機器とを含む。パーソナルコンピュータ 12 の内部には種々のバス及びノードが存在しパーソナルコンピュータの動作を制御する。例えば、インタフェースバス 16 は 3 ポート物理層インタフェース 18 と本発明によるインタフェース機器 20 との間の通信を支援する。シリアル EPROM 22 は PCI インタフェース機器 20 の動作を支援する。PCI インタフェース機器 20 は更に PCI バス 24 と補助ポートローカルバス 26 とのインタフェースを行う。また PCI バス 24 を経由してローカルバス 28 ならびに PCI 取り扱い機器 30、32 も通信を行っている。PCI ホストブリッジ 34 はローカルバス 28 と PCI バス 24 との間のホストブリッジ機能を実行する。補助ポートローカルバス 26 はフラッシュ PROM (または RPL ROM) 36、直接メモリアクセス (DMA) チャンネル制御静的 RAM (SRAM) 38、使用者定義機能 (AUX) 40、およびビデオ出力用ズームビデオ (ZV) ポート 42 と通信を行う。ホストローカルバス 28 はホスト CPU 44 およびローカルメモリ 46 と通信を行う。

【0025】物理層インタフェース 18 と通信を行う周辺機器 14 には、CD ROM 装置 48、レーザプリンタ 50、デスクトップカメラ 52、そしてビデオケーブルセットトップボックス 56 とのインタフェースを行うデジタルビデオカセットレコーダ (VCR) 54 が考えられる。

【0026】図 1 に於いて、PCI インタフェース ASIC 20 は、PCI バス 24 をサポートする環境で動作する機器と例えば IEEE 1394-1995 標準環境が確立する高速入出力周辺機器環境で動作する機器との間の、データパケット送信制御の基本機能を実行する。本実施例の PCI インタフェース ASIC 20 は IEEE 標準 1394-1995 ならびに PCI 仕様版 2.0 に適合する。更に PCI インタフェース ASIC 20 はサイクルマスタの機能を、特に IEEE 1394-1995 環境に於いて実行し、喪失されたサイクル開始メッセージ検出能力を有する。PCI インタフェース ASIC 20 は 32 ビット周期的冗長検査 (CRC) 信号を IEEE 1394 標準パケット送信用に生成し、同様に 32 ビット CRC 検査を IEEE 1394 パケット受信時に実行する。PCI インタフェース ASIC 20 は PCI インタフェース ASIC 20 と物理層インタフェース 18 との間の等時間間隔バリアをサポートする。更に、PCI インタフェース ASIC 20 は IEEE 1394

標準送信速度 1 0 0、2 0 0 および 4 0 0 m b p s をサポートし、同様に 3 サイズのプログラム可能 F I F O (例えば、非同期送信、等時間間隔送信、そして一般受信) をサポートする。

【0 0 2 7】以下に説明するように、P C I インタフェース A S I C 2 0 はプログラム可能チャンネルアドレス比較器ロジックを受信した入力データパケットに対して実施し、それらに対して D M A チャンネルを割り当てる。本発明は、少なくとも 1 つの実施例に於いて 5 つのスカッター・ギャザ (scatter-gather) D M A チャンネルを提供し、ここで各々のチャンネルのデータパケット操作が、(1) 非同期パケット送信、(2) 等時間間隔パケット送信、(3) 非同期パケット受信、そして (4) 等時間間隔パケット受信機能をサポートするようにプログラムされる。

【0 0 2 8】P C I インタフェース A S I C 2 0 はまた、D M A 操作をサポートするための P C I マスタバス機能と、また同様に内部レジスタへの読み取りおよび書き込みアクセスを行うための P C I スレーブ機能をも提供する。3 2 ビット P C I アドレスデータ経路を実現するために、P C I インタフェース A S I C 2 0 は P C I アドレスデータパリティ検査のみならず、割り込み事象へのソフトウェア制御も提供する。P C I インタフェース A S I C 2 0 は、外部ロジックへの専用経路を実現するためのプログラム可能外部ローカルバスを提供する。更に加えて、P C I インタフェース A S I C 2 0 は 8 ビットまたは 1 6 ビットインタフェースを、ズームビデオ (Z V) ポートに提供し、ビデオデータを直接外部モーションビデオメモリ搬送機に転送する。

【0 0 2 9】図 2 はブロック図 5 8 を提示し、これは本発明の P C I インタフェース A S I C 2 0 の機能分割を示す。P C I インタフェース A S I C 2 0 内のロジックは P C I バスロジック 6 0 を含み、これはシリアル E P R O M 2 2 との通信を行うためのシリアル E P R O M インタフェース 6 2 を含む。P C I マスタロジック 6 4 および P C I スレーブロジック 6 6、同様に P C I 構成制御ならびに状態レジスタ 6 8 は P C I バス 2 4 との通信に必要なロジックを提供する。ローカルバスインタフェースロジック 7 0 は補助ポートローカルバス 2 6 とのインタフェースに必要な制御ロジックを提供する。

【0 0 3 0】P C I インタフェース A S I C 2 0 内の D M A ロジック 7 2 は、D M A エンジン 7 4 および D M A 制御ならびに状態レジスタ 7 6 を含み、P C I バスロジック 6 0 と F I F O ロジック 7 8 との間の動作と通信とを制御する。F I F O ロジック 7 8 は汎用受信 F I F O 8 0、非同期送信 F I F O 8 2、等時間間隔送信 F I F O 8 4、ポインタアドレス写像ロジック 8 6、および F I F O 制御ならびに状態レジスタ 8 8 を含む。

【0 0 3 1】リンク層制御ロジック 9 0 は制御ならびに状態レジスタ 9 2 を含み、これはリンク層制御ロジック

9 0 内の全ての機能の制御を行いつつ状態のレポートを行う。パケット送信制御ロジック 9 8 およびパケット受信制御ロジック 1 0 2 はロジック、サイクルタイマ 9 4 およびサイクルモニタ 9 6 と共に働く。物理リンクインタフェースロジック 1 0 4 はパラレル/シリアル変換ならびにシリアル/パラレル変換機能を含む。

【0 0 3 2】図 2 に於いて、P C I バスロジック 6 0 は P C I インタフェース A S I C 2 0 と P C I バス 2 4 とのインタフェースロジックを実行する。P C I スレーブロジック 6 6 は外部 P C I 取り扱い機器に対してスレーブインタフェース制御ロジックへの読み取りおよび書き込み機能を提供して、P C I インタフェース 2 0 制御ならびに状態レジスタ 6 8、7 6、8 8、9 2 を評価できるようにしているが、これらはアプリケーションソフトウェアが P C I インタフェース A S I C 2 0 を制御しその動作状況を監視する際に要求されるものである。P C I マスタロジック 6 4 は D M A ロジック 7 2 に対してマスタ機器として P C I バス 2 4 上でのデータ送信を開始する機能を提供する。P C I 構成制御ならびに状態レジスタ 6 8 は、P C I インタフェース A S I C 2 0 の構成およびプログラミングを行うためのパーソナルコンピュータシステム 1 2 アプリケーションソフトウェアで使用可能である。これは P C I が要求する制御および基本レジスタを含み、同様に P C I インタフェース A S I C 2 0 用の割り込み制御および状態信号ならびにその他の制御ならびに状態レジスタをも含む。ローカルバスインタフェースロジック 7 0 は R A M、R O M、補助機能、ズームビデオポート、および 4 つの G P I O インタフェースとインタフェースしかつ制御するための補助ポートを含む。更に、シリアル E P R O M インタフェース 6 2 は、P C I が必要とするある種の構成データと一定のシステム制御レジスタ情報とを電源投入後に提供する。

【0 0 3 3】シリアル E P R O M インタフェース 6 2 は P C I インタフェース A S I C 2 0 とシリアル E P R O M 2 2 (図 1) との間の通信を提供する。電源投入時、シリアル E P R O M インタフェース 6 2 は P C I 構成レジスタ 6 8 の僅かな部分をシリアル E P R O M 2 2 から初期化する。シリアル E P R O M 状態機械がシリアル E P R O M 2 2 にアクセスしている間、全ての P C I スレーブアクセス入力 は再試行状態で終了される。

【0 0 3 4】シリアル E P R O M 2 2 はまた P C I 構成制御ならびに状態レジスタ 6 8 用の構成データをも含む。この情報はホスト C P U 4 4 で読み取りおよび書き込みが行われるが、これはシリアル E P R O M 2 2 用制御レジスタを通して 2 線式シリアルバスプロトコルをエミュレートしている。この 2 線式シリアルバスはホスト C P U 4 4 から、シリアル E P R O M 2 2 出力可能化ビットを " 1 " の値に設定するように操作され、続いて 2 線式シリアルバスプロトコルをエミュレートするためにデータおよびクロックビットにアクセスする。P C I 構

成制御ならびに状態レジスタ 68 はタイマビットを含み、これは 2 線式シリアルバスプロトコル事象のタイミングを取るための時間基準を提供する。

【0035】PCI マスタロジック 64 は PCI インタフェース ASIC 20 が PCI バス 24 をマスタ機器として操作するために必要な制御を実行する。このロジックはメモリ読み取り、メモリ書き込み、メモリ読み取り線、メモリ書き込み線、および書き込み無効命令操作を可能とする。メモリ読み取り機能に関して、PCI インタフェース ASIC 20 の DMA 読み取り操作の結果、PCI バス上にメモリ読み取り線命令によるメモリ読み取りが行われる。メモリ書き込み操作に関して、PCI インタフェース ASIC 20 DMA 書き込み操作の結果 PCI メモリ書き込みが行われるか、PCI バス上にメモリ書き込み線命令またはメモリ書き込み無効命令が出される。

【0036】PCI スレーブロジック 66 は PCI インタフェース ASIC 20 が PCI バスをスレーブ機器として操作するために必要な制御ロジックを実行する。可能化されると PCI スレーブ機能 66 は 68 に含まれる基本アドレスレジスタで指定される PCI メモリアドレス範囲での、メモリ読み取りまたは書き込み命令に回答する。PCI スレーブロジック 66 は、その他の制御レジスタ内のスレーブバーストビットで可能化された際に、スレーブバースト転送を実行する。PCI スレーブロジック 66 はその他の制御レジスタ内の制御ビットで可能化された際に、宛先指定書き込み操作を実行する。

【0037】PCI 構成制御ならびに状態レジスタ 68 はシステムおよびアプリケーションソフトウェアに対して、PCI インタフェース ASIC 20 の PCI 演算構成を実行する機能を提供する。

【0038】ローカルバスインタフェースロジック 70 は、共通ロジックを共有する特殊入出力ポートグループを提供する。これらのポートは PCI バス 24 または DMA エンジン 74 のいずれからでもアクセス可能である。これらのポート上の外部機器はマスタ機器として機能することは出来ない。これらのポートは PCI インタフェース ASIC 20 を外部機器またはインタフェースに接続し、この様な機器との間に自動データ転送を行うことを可能としている。ズームビデオバスインタフェースを除く全てのローカルバスインタフェースは、ローカルクロックに同期しており、これは PCI クロックから提供されるものである。ZV ポートクロックは PCI クロック、IEEE 1394 クロック、または外部クロックに基づいてプログラムされている。

【0039】ローカルバスインタフェースロジック 70 は共有ローカルアドレスバスを提供し、これは本発明では 16 ビットアドレスバス、共有 8 ビットまたは 16 ビット読み取りまたは書き込みデータバスであり、プログラム可能待ち状態および準備完了条件を具備したもので

ある。ローカルバスアドレスおよびデータバスは ROM、RAM、AUX、およびズームポート機能の中で共有されている。ZV 出力ポートは水平同期、垂直同期データ有効、および ZV-PIXEL、CLR、を提供する。ローカルバスインタフェースロジック 70 用のその他の入出力は 4 つの汎用 I/O (GPIO) ピンを含み、これはプログラム可能方向および極性機能を実現する。ローカルバスインタフェースロジック 70 の本実施例に於けるその他の信号としては、ローカルバスクロック出力、リセット出力、割り込み入力、そして外部準備完了入力が含まれる。PCI 構成制御ならびに状態レジスタ 68 はローカルバスインタフェースロジック 70 の動作を構成する上で必要な制御命令ならびに情報を提供する。

【0040】PCI インタフェース ASIC 20 はリモートプログラムロード (RPL) 読み取り専用メモリ (ROM) を含み、これはパーソナルコンピュータ 12 に対して付属の RPL ROM からブートコードを読み取る機能を提供する。これによりたとえシステムが特定の IEEE 1394 ブートコードを電源リセット時に喪失していたとしても、システムを IEEE 1394 機器からブートすることが可能となる。更に、ROM インタフェースを汎用化して RPL ROM にアクセスするだけではないその他の機能を提供するようにも出来る。ローカルバスインタフェースロジック 70 は PCI スレーブおよび内部 DMA が、フラッシュ PROM 36、SRAM 38 ならびにその他の図 1 に示される RAM 相当機器の様な機器へ読み取り/書き込みアクセスすることをサポートする。ROM へのアクセスは PCI 構成制御ならびに状態レジスタ 68 で制御され、ROM 基本アドレスレジスタの最下位ビットに 1 を書き込むことにより可能化される。ROM インタフェースは 8 ビットまたは 16 ビット幅データのいずれかで、指定された数の待ち状態または同様機能として構成できる。ROM オプションは電源リセット時にシリアル EPROM 22 経由で構成され PCI スレーブアクセス経由で入力される。

【0041】RAM インタフェースは PCI 構成制御ならびに状態レジスタ 68 内の第二 PCI メモリに基づくレジスタを通してアクセスされる。このメモリは DMA 制御構造またはデータバッファまたは、デジタル信号処理装置の様なその他の機能への共有メモリインタフェースとして使用できる。RAM インタフェースは 8 ビットまたは 16 ビット幅データのいずれかで、指定された数の待ち状態または外部準備完了調歩として構成できる。

【0042】補助インタフェースは汎用入出力ポートであって、これは PCI 構成制御ならびに状態レジスタ 68 内の第三 PCI メモリベースアドレスレジスタを通してアクセスされる。このポートは圧縮/伸長 (decompression) ロジックまたはビデオプロセッサ/フレームバ

ツファの様な外部専用資源への高速データ経路を実現するために使用される。もしもZVポートが可能化されていると、AUXアドレス空間の1つのポートがそのZVポートに写像される。それ以外の場合は、この空間は提出された実施例の補助アドレスベースの一部として利用可能である。本実施例に於いて補助インタフェースは8ビットまたは16ビット幅データのいずれかで、指定された数の待ち状態または外部準備完了調歩として構成できる。

【0043】FIFOロジックは提出された実施例では単一の256×33でクロックを掛けられた二重ポートRAMの回りに設計されており、3つの論理FIFOに分割されている。各々のFIFOは0から256ワードのサイズでプログラムされている。与えられたFIFOサイズの組み合わせに対して、3つのFIFOサイズの合計は256ワード以下でなければならない。

【0044】汎用受信FIFO (GRF) 80は読み取りおよび書き込みポインタ対を含み、FIFO二重ポートRAMへアクセスする際に使用される。各々のポインタは0からそのfifo_size_value 引く1の範囲で計数する。各々のポインタに対するFIFO RAMアドレス指定範囲は、オフセット値を生成するロジックによって設定される。そのオフセットをポインタの値に加算して、RAMアドレスの唯一無二の範囲に写像されるようにする。動作中のDMAチャンネルは読み取りポインタを使用して、RAMのPCI側から非同期または等時間間隔パケットを読み取り、それらをホストメモリの中に書き込む。書き込みポインタはIEEE1394受信機で使用され、IEEE1394バス上に受信された、非同期または等時間間隔パケットをFIFO RAMのリンク側に書き込む。2つのポインタはFIFO RAMの両側で同期化ロジックを通して通信されるが、これはFIFO二重ポートRAMの両側が異なるクロック領域に存在するからである。

【0045】非同期送信FIFO 82はFIFO二重ポートRAMへアクセスするための読み取りおよび書き込みポインタ対を含む。各々のポインタは0からそのfifo_size_value 引く1の範囲で計数する。各々のポイン

タに対するFIFO RAMアドレス指定範囲は、オフセット値を生成するロジックによって設定される。そのオフセットをポインタの値に加算して、アドレスの唯一無二の範囲に写像されるようにする。動作中のDMAチャンネルは書き込みポインタを使用して、ホストメモリから非同期パケットを読み取り、それをRAMのPCI側の中に書き込む。読み取りポインタはIEEE1394送信機で使用され、これは読み取りポインタを用いて非同期パケットをFIFO RAMのリンク側から読み取り、それをIEEE1394バス上に送信する。2つのポインタはFIFO RAMの両側で同期化ロジックを通して通信されるが、これはFIFO二重ポートRAMの両側が異なるクロック領域に存在するからである。

【0046】等時間間隔送信FIFO 84はFIFO二重ポートRAMへアクセスするための読み取りおよび書き込みポインタ対を含む。各々のポインタは0からそのfifo_size_value 引く1の範囲で計数する。各々のポインタに対するFIFO RAMアドレス指定範囲は、オフセット値を生成するロジックによって設定される。そのオフセットをポインタの値に加算して、アドレスの唯一無二の範囲に写像されるようにする。動作中のDMAチャンネルは書き込みポインタを使用して、ホストメモリから等時間間隔パケットを読み取り、それをFIFO RAMのPCI側の中に書き込む。IEEE1394送信機は読み取りポインタを用いて等時間間隔パケットをFIFO RAMのリンク側から読み取り、それをIEEE1394バス上に送信する。読み取りおよび書き込みポインタはFIFO RAMの両側で同期化ロジックを通して通信されるが、これはFIFO二重ポートRAMの両側が異なるクロック領域に存在するからである。

【0047】ポインタ二重ポートアドレス写像ロジック 86はFIFOサイズレジスタから3つのサイズ値を使用して、各々のFIFO読み取り書き込みポインタ対をFIFO二重ポートRAM内の唯一無二のアドレス範囲に写像する。ポインタアドレス写像機能は下記の表に示される式に基づいて生成される。

【表1】

読み取り書き込みポインタアドレス写像ロジック
ITF=等時間間隔送信FIFO、とする ATF=非同期送信FIFO、とする GRF=汎用受信FIFO、とする
等時間間隔送信FIFOポインタRAMアドレス= ITF_ポインタ値 (0から (ITF_サイズ-1)) + 0x00
非同期送信FIFOポインタRAMアドレス=ATF_ポインタ値 (0から (ATF_サイズ-1)) + ITF_サイズ
汎用受信FIFOポインタRAMアドレス=GRF_ポインタ値 (0から (GRF_サイズ-1)) + (ITF_サイズ+ATF_サイズ)

【0048】FIFO制御ならびに状態レジスタ88はFIFOロジック78の制御ならびに状態レジスタセットを実行する。FIFO制御ならびに状態レジスタ88は各々の論理FIFOのサイズを設定するためのFIFOサイズレジスタを含む。このレジスタは3つのサイズのパラメータを具備し、等時間間隔送信FIFO84、非同期送信FIFO82および汎用受信FIFO80のサイズをプログラムする。このレジスタはPCISレーブ66読み取りまたは書き込み操作を介してアクセスされる。PCI側FIFOポインタ書き込み読み取りポートはソフトウェア用のPCISレーブ66書き込み読み取りポートを具備し、これはPCI側ポインタの現在値を取り込んだりまたはそこに値を書き込むためのものである。リンク側FIFOポインタ書き込み読み取りポートはソフトウェア用のPCISレーブ読み取りポートを具備し、これはリンク側ポインタの現在値を取り込んだりまたはそこに値を書き込むためのものである。汎用受信FIFOポップ・プッシュポートは32ビットスレーブ書き込みを受信し、GRF80の先頭にプッシュされるデータクワドレット (data quadlet) とする。このポートからの32ビットスレーブ読み取りは、GRF80の先頭からデータクワドレットをポップオフさせる。非同期送信FIFOポップ・プッシュポートはこのポートへの32ビットスレーブ書き込みを受信し、非同期送信FIFOの先頭へプッシュされるデータクワドレットとする。このポートからの32ビットスレーブ読み取りは、非同期送信FIFO82の先頭からデータクワドレットをポップオフさせる。等時間間隔送信FIFOポップ・プッシュポートはこのポートへの32ビットスレーブ書き込みを受信し、等時間間隔送信FIFO84の先頭へプッシュされるデータクワドレットとする。このポートからの32ビットスレーブ読み取りは、等時間間隔送信FIFO84の先頭からデータクワド

レットをポップオフさせる。FIFO制御トークン状態読み取りポートはスレーブ読み取りを具備し、先にアクセスされた3つのFIFOの1つからポップされた最後のデータクワドレットのビット33の値を戻す。FIFO診断テストならびに制御レジスタはソフトウェア用PCISレーブ読み取り書き込みポートを具備し、診断テストおよびその動作を制御するためのFIFOロジックを構築する。また、送信FIFO閾値レジスタはソフトウェア用PCISレーブ読み取り書き込みポートを具備し、非同期および等時間間隔送信FIFO用の送信閾値を設定する。

【0049】CRCロジック100は種々の機能を実施するロジックを実行し、これらには送信機ロジックで生成されたパケットデータストリームのヘッダ部分上での32ビット自動DIN CRCエラーコードの生成が含まれる。送信機はこのコードをヘッダ後部のデータストリームの中に挿入する。データペイロードを有するデータパケットに関しては、CRCロジック100は32ビット自動DIN CRCエラーコードを、送信機ロジックで生成されたパケットストリームのデータペイロード部分の上に生成する。送信機はこのコードをパケットストリームの終わりに挿入する。CRCロジック100は32ビット自動DIN CRCエラーコードを入力されるパケットデータストリームのヘッダ部分の上に生成する。もしも計算されたコードがパケットと共に送られたヘッダCRCコードに等しい場合は、受信機はヘッダが正しいと判断する。更に、CRCロジック100は32ビット自動DIN CRCエラーコードを入力されるパケットデータストリームのペイロード部分の上に生成する。もしも計算されたコードがパケットと共に送られたデータCRCコードに等しい場合は、受信機はデータペイロードが正しいと判断する。

【0050】1394リンク層ロジック90はIEEE

1 3 9 4 リンク層制御ロジック (L L C) を I E E E 1 3 9 4 - 1 9 9 5 標準で規定された通りに実行する。この機能は I E E E 1 3 9 4 パケットデータの F I F O ロジック 7 8 とその他の I E E E 1 3 9 4 バス上の機器との間での送受信を制御する。

【 0 0 5 1 】 1 3 9 4 リンク層制御ならびに状態レジスタ 9 2 はアプリケーションソフトウェアで要求される、 L L C の動作を制御しその動作を監視するための、制御ならびに状態レジスタロジックを実行する。 1 3 9 4 バス番号・ノード番号レジスタはアプリケーションソフトウェアがバスならびにノード番号をプログラムするためのインタフェースを提供する。 1 3 9 4 リンク層制御レジスタはアプリケーションソフトウェアが L L C の動作モードを制御するためのインタフェースを提供する。 1 3 9 4 リンク層割り込み状態レジスタはアプリケーションソフトウェアが L L C で生成された割り込み原因を解読するためのインタフェースと、この割り込み状態を解消するための機構とを提供する。 1 3 9 4 リンク層割り込み可能化レジスタはアプリケーションソフトウェアが割り込み状態レジスタ内の状態ビットを選択的に可能化して L L C 割り込みを生成したり、または L L C 割り込みを生成することを不能化するためのインタフェースを提供する。 1 3 9 4 サイクルタイマレジスタはアプリケーションソフトウェアがサイクルタイマに初期値をプログラムしたりまたはその現在値を読み込むためのインタフェースを提供する。 L L C がサイクルマスタとして動作しているときは、このタイマはパケットの送信を開始する周期を 1 2 5 マイクロ秒毎に時間決めるために使用される。 1 3 9 4 物理層アクセスレジスタはアプリケーションソフトウェアが物理層インタフェース 1 8 制御

ならびに状態レジスタへのデータの書き込みまたはそこからのデータの読み取りを行うためのインタフェースを提供する。

【 0 0 5 2 】 1 3 9 4 診断テスト制御レジスタはアプリケーションソフトウェアが 1 3 9 4 L L C ロジックの診断テストを実施するためのインタフェースを提供する。 1 3 9 4 リンク層制御ならびに状態レジスタ 9 2 はまた、 D M A チャンネル 4 - 0 ワード 0 受信パケット比較値レジスタを含む。各々のレジスタには D M A チャンネル比較器ロジック機能が割り当てられている。 D M A チャンネル比較器は比較値レジスタ内で選択された組のビット位置と、入力パケットの第一データクウォドレット (ワード 0) の対応するビット位置との一致を取る。一致を取るビット位置はワード 0 受信パケット比較マスクレジスタ内に含まれるマスク値で指定される。 D M A チャンネル 4 - 0 ワード 0 受信パケット比較マスクレジスタは、対応する D M A チャンネル比較器に割り当てられる。 D M A チャンネル比較ロジックはこのレジスタ内のマスク値を使用して、ワード 0 内のビット位置を選択し、これがワード 0 受信比較値レジスタ内の対応するビ

ット位置に対して一致が取られる。 D M A チャンネル 4 - 0 ワード 1 受信パケット比較値レジスタは D M A チャンネル比較器ロジック機能に割り当てられる。 D M A チャンネル比較器は比較値レジスタ内で選択された組のビット位置と、入力パケットの第二データクウォドレット (ワード 1) の対応するビット位置との一致を取る。一致を取るビット位置はワード 1 受信パケット比較マスクレジスタ内に含まれるマスク値で指定される。また D M A チャンネル 4 - 0 ワード 1 受信パケット比較マスクレジスタは対応する D M A チャンネル比較器に割り当てられる。 D M A チャンネル比較ロジックはこのレジスタ内のマスク値を使用してワード 1 内のビット位置を選択し、これがワード 1 受信比較値レジスタ内の対応するビット位置と一致が取られる。

【 0 0 5 3 】 更に、 1 3 9 4 リンク層制御ならびに状態レジスタ 9 2 は、ビジー再試行計数レジスタを含み、その内容は 1 3 9 4 送信機が送り先ノードからビジー肯定確認が受信された際に、非同期パケット送信を再試行すべき回数を指定している。このレジスタはアプリケーションソフトウェアから P C I スレーブアクセスによって読み書きされる。ビジー再試行時間間隔レジスタは、ビジー肯定確認信号が各々の試行に対して受信された際に送信機が後続の再試行との間で遅延すべき時間間隔を含む。このレジスタはアプリケーションソフトウェアから P C I スレーブアクセス経由で読み書きされる。また、状態機械ベクトルレジスタがあって、これはソフトウェアに対して L L C に組み込まれている各々の状態機械の状態ベクトルを監視する機能を与える。更に、 F I F O エラー計数器はパケット送信中に非同期および等時間間隔送信 F I F O 8 2, 8 4 で生じる未達 (under-run) とパケット受信中に G R F 8 0 で生じる超過 (over-run) とを計数する。

【 0 0 5 4 】 パケット受信機制御ロジック 1 0 2 は入力される I E E E 1 3 9 4 パケットを受信するために必要なロジックを実行する。受信機制御ロジックは I E E E 1 3 9 4 - 1 9 9 5 で規定された詳細な機能要求に合致している。これらはバスおよびノード I D レジスタそして/または D M A チャンネル受信パケット比較器を使用して入力された非同期または等時間間隔パケットを受信すべきかの判断を行うための下記の機能を含む。 C R C ロジック機能はヘッダ C R C をチェックして入力パケットが正しく受信されているかの確認を行う。もしもパケットがペイロードを有する場合、データ C R C がチェックされそのパケットがアドレス指定および C R C チェックを通過すると、受信されたパケットは G R F 8 0 の中にロードされる。パケット受信機制御ロジック 1 0 2 は非同期受信パケット上に肯定確認を生成する。

【 0 0 5 5 】 周期タイマロジック 9 6 は周期タイマ機能を実施するためのロジックを実行する。周期タイマロジック 9 6 は I E E E 1 3 9 4 - 1 9 9 5 標準で規定され

ている周期タイマ機能の要求に合致する。周期タイマは周期計数器と周期オフセットタイマとを含む。オフセットタイマは自由計時、または選択信号ピン上で低から高へ再ロードされるか、または受信機からの再ロード値を取るかであるが、これは1394 L L C制御ならびに状態レジスタ92内の周期マスタおよび周期ソースビットの状態に基づいて選ばれる。周期タイマは等時間間隔データ転送を支援するように使用される。周期時間は32ビット幅である。本実施例に於いて、低位12ビットは3072を法とする計数器(modulo 3072 counter)として計数し、これは24.576 MHzクロック周期、または(40.69ナノ秒)毎に更新される。次の高位の13ビットは8 kHz(または125マイクロ秒)を計数し、最高位7ビットは秒単位で計数する。

【0056】周期監視ロジック94は周期監視機能を実施するためのロジックを実行する。周期監視ロジック94は等時間間隔データ転送を支援し、L L C動作を監視して等時間間隔動作のスケジュールを取り扱う。周期監視ロジック94が周期開始パケットを受信するかまたは送信すると、周期監視ロジック94はこれらの事象の発生を、周期開始または周期受信割り込みを生成することにより表示する。周期監視ロジック94はまた周期開始パケットの喪失も検出し、周期喪失割り込みを生成する。等時間間隔周期が完了すると、周期監視ロジック94は周期完了割り込みを発生する。周期監視ロジック94は送信機に信号を発して周期開始パケットを送らせるが、これは周期マスタ可能化ビットが1394 L L C制御ならびに状態レジスタ92内で発せられた時である。

【0057】1394パケット送信制御ロジックはIEEE1394パケットを非同期送信F I F O 82または等時間間隔送信F I F O 84のいずれかから、物理リンクインタフェースロジック104へIEEE1394バス上を送信させるための動きを制御するためのロジックを実行する。送信制御ロジック98はIEEE1394-1995標準の中で規定された機能要求に合致する。パケット送信制御ロジック98は送信パケット形式にフォーマットする。

【0058】1394パケット送信制御ロジック98はクウォドレットを非同期送信F I F O 82から引き出し、これらを正しく32ビットパラレル1394非同期パケットストリームにフォーマットする。制御ロジック98は等時間間隔送信F I F O 84から引き出し、これらを正しく32ビットパラレル1394等時間間隔パケットストリームにフォーマットする。CRCロジックを用いてパケットのヘッダおよびペイロード部分用のCRCコードを計算し、制御ロジック98はCRCコードをパケットストリームの時間スロットの中に送信されるパケットの形式からの要求に従って挿入する。1394パケット送信制御ロジック98はパラレルパケットストリームを物理リンクインタフェースロジックに入力し、物

理インタフェースに送信するためにパラレルからシリアルデータストリームフォーマットに変換する。

【0059】1394パケット送信制御ロジック98は、L L Cが周期マスタとして動作するようにプログラムされている時には、周期開始パケットを送信する。1394パケット送信制御ロジック98は1394送信バス要求を物理インタフェースに送信する。物理インタフェース層はバスに対して調停を行い、バスの許可が受信されると送信を開始するために送信機に対して指示を送る。1394パケット送信制御ロジック98は、ビジー確認が非同期送信パケットへの応答として戻された時に、再試行送信をIEEE1394-1995標準で規定されている単相再試行Xプロトコルを使用して実行する。更に、1394パケット送信制御ロジック98はパケット送信速度を設定する。

【0060】物理リンクインタフェースロジック104はP C IインタフェースA S I C 20を物理層チップにインタフェースさせるロジックを実行する。物理リンクインタフェースロジック104はIEEE1394-1995標準内のリンク物理インタフェース仕様の要求に合致している。この機能はP C IインタフェースA S I C 20に物理層サービスへのアクセスを提供する。物理リンクインタフェースロジック104は送信機からのパケット速度コードを使用し、生成させるシリアルデータストリームの数を選択する。速度コードが100 mbpsに設定されている場合はパラレルデータストリームは、各々が50 mbpsで送信する2本のシリアルデータストリームに変換される。速度コードが200 mbpsに設定されている場合はパラレルデータストリームは、各々が50 mbpsで送信する4本のシリアルデータストリームに変換される。物理リンクインタフェースロジック104は物理インタフェースが受信する速度表示を使用して、物理インタフェースからの入力シリアルデータストリームを受信制御ロジックへの入力のパラレルデータストリームに変換する。いかなる入力パケットに対しても、物理インタフェースはパケットが100 mbpsで受信された場合はP C IインタフェースA S I C 20への2本のシリアルデータストリームを生成し、もしも200 mbpsで受信された場合は4本のシリアルデータストリームを生成する。シリアルデータストリームは各々50 MHzでクロックがかけられている。物理リンクインタフェースロジック104は物理インタフェースからのシリアル状態応答を受信し、それらをパラレル形式に変換する。状態応答は物理インタフェース割り込み表示そして/または戻りデータを物理インタフェースレジスタ読み取りアクセス要求に回答して搬送する。物理リンクインタフェースロジック104はシリアル肯定確認パケットを検出しかつ受信し、これらをパラレルフォーマットに変換する。更に、物理リンクインタフェースロジック104は送信機パケット送信要求また

は物理インタフェースレジスタ読み取り書き込みアクセス要求を受領し、これらを物理インタフェースへの送信用にシリアル要求ストリームにフォーマットする。更に、物理リンクインタフェースロジック 104 はオプションとして物理インタフェースと P C I - L Y N X 機器との間の電氣的等時間間隔バリアとして動作する。

【0061】DMA ロジック 72 は P C I マスタロジック 64 を使用して P C I バス 24 を獲得し、マスタ機器として機能する。DMA ロジック 72 は DMA エンジン 74 を含み、これは優先順位時間多重分割されている共通状態機械を含む。DMA エンジン 74 はまた、割り当てられた優先順位レベルに基づいてチャンネルを動作させるための調停ロジックをも含む。更に、DMA 制御ならびに状態レジスタ 76 は各々の DMA チャンネルに対して P C I スレーブ 66 と共にデータ経路制御を提供し、これらのレジスタへ P C I インタフェース A S I C 20 からのアクセスを行う。

【0062】DMA エンジン 74 は状態機械ロジックを実行し、P C L から制御パラメータおよびデータバッファポインタを取り込む。状態機械ロジックまたはパケット処理装置はこれらのパラメータを使用して、データバッファ相互間のデータ転送を制御する。

【0063】図 3 は 1394 パケット受信ロジック 102 内に含まれるヘッダ比較ロジックを図示し、これは 32 ビットパケットデータストリーム 106 を物理リンクインタフェースロジック 104 から受信する。32 ビットパケットデータストリーム 106 は I E E E 1394 パケット受信機ロジック 102 と、参照番号 110 で示されているヘッダ比較ロジックとに入る。また P C I スレーブ 66 は 32 ビット読み取り／書き込みアクセスを番号 110 に含まれる比較器制御レジスタに提供する。線 117 は DMA チャンネル 0 に対するヘッダ比較一致出力を示す。線 119 は DMA チャンネル 1 に対するヘッダ比較一致を示す。線 121 は DMA チャンネル 2 に対するヘッダ比較一致を示す。線 123 は DMA チャンネル 3 に対するヘッダ比較一致を示す。これらの出力の各々は優先順位符号化器 128 ならびに論理 OR 回路 129 に入る。優先順位符号化器 128 は、DMA チャンネル出力 130 を生成し、これは 1394 受信機ロジック 102 に入る。論理 OR 回路 129 は受信機制御ロジックに比較器一致信号を提供し、0 は一致が無いことを示し、または 1 は一致があることを線 132 に示し、これは 1394 受信機ロジック 102 に入る。

【0064】DMA エンジン 74 は五つ (5) またはそれ以上の独立した DMA チャンネルをとして描かれており、これらは全て同時に動作する。実際に実施する場合は 1 つの主制御状態機械を使用し、時間に対して DMA チャンネルの間を多重分割する。優先順位監視等時間間隔ロジックは連続的に全てのチャンネルの現在の内容を調査し、状態機械に対して実行が保留されている動作を

有するチャンネルに最高位の優先順位を割り当てる。

【0065】図 4 は図 3 で説明した一般的概念を更に詳細に図示したものである。図 4 に於いて、受信データ 106 は、ワード W D 0、W D 1 を有するヘッダデータ 108 を含む。ワード W D 0、W D 1 はロジック 110 の N 個の DMA チャンネルヘッダ比較ブロックの各々に具備されている (例えば、図 3 の 4 つのチャンネル 0 ~ 3)。ロジック 110 内の各 DMA チャンネルに対する DMA ヘッダ比較レジスタは回路内での命令を含み、これは 108 に於けるヘッダ W D 0 と選択レジスタ内容 120 および制御値ロジック 122 との合致を比較する。同様に、109 に於ける W D 1 は図に示されるように比較命令を用いてレジスタ 124 の内容および選択レジスタ 126 の内容と比較される。DMA ヘッダ比較レジスタおよびロジックの出力はチャンネル選択 [0] からチャンネル選択 [N-1] として表される。図 4 は更に、優先順位符号化器 128 がチャンネル選択出力を受信してチャンネル番号を DMA チャンネル選択線 130 に生成し、アドレス合致出力 132 を出力する様子を図示している。図 3 ならびに添付の文章が説明するように、DMA チャンネル選択出力 130 およびアドレス合致出力 132 は I E E E 1394 パケット受信機ロジック 102 に流れている。

【0066】DMA ヘッダ比較レジスタおよびロジック 110 ならびに優先順位符号化器 128 は、入力されたパケットが受領されて G R F 80 にロードされるべきものであるかを判断するのに必要なロジックを実行する。図 3 は 4 つの DMA チャンネルを示しており、5 つまたはそれ以上の DMA チャンネルも本発明の範囲内である。各 DMA ヘッダ比較レジスタおよびロジック 110 は 1 つの DMA チャンネルを担当するように割り当てられている。1 つの比較器は W D 0 フィールド選択レジスタ 122、W D 1 選択レジスタ 126、W D 0 比較値レジスタ 120、W D 1 比較値レジスタ 124 および比較等時間間隔ロジックを含む。2 つのフィールド選択マスクレジスタは入力パケットの W D 0 および W D 1 内のビットフィールドを特定し、これは予想される値と比較器ロジックによって合致される。2 つの比較値レジスタは予想されるビットパターンを特定し、これは入力パケットのワード 0 およびワード 1 内の選択されたビットフィールドに対して合致される。優先順位符号化器 128 は DMA チャンネル合致表示を各 DMA ヘッダ比較レジスタおよびロジック 110 から収集し、入力パケットを特定の DMA チャンネルに写像するためのビットコードを生成する。OR 論理回路 129 は DMA ヘッダ比較レジスタおよびロジック 110 からの選択表示を組み合わせ、I E E E 1394 受信機ロジック 102 に対して単一の比較器合致表示を生成する。I E E E 1394 受信機ロジックは DMA チャンネル番号、そして比較器合致表示を使用して入力パケットを G R F 80 に受け入れる

べきかの判断を行う。

【0067】本実施例に於いて、DMAバケット処理装置は全てが同時に実行される独立のDMAチャンネルとして動作する。実際に実現する場合は1つの主制御状態機械を用い、これが複数のDMAチャンネル（例えば、5つのDMAチャンネル）の間で多重時間分割する。優先順位監視等時間間隔（superisochronous）ロジックは、全チャンネルの現在の内容を連続的に調べそのチャンネルに対して保留中の機能の中の最高位の優先順位を割り当てて、状態機械が実行するようにする。DMAチャンネルはリセットの後静的状態に初期化し、この状態でバケット制御リスト開始アドレスレジスタに書き込まれるべき有効PCLポインタ、ならびにDMA制御レジスタに設定されるべきチャンネル可能化およびリンクビットを待っている。有効PCLポインタはバケット制御リスト開始アドレスレジスタのビット零の状態で判断される。1は無効アドレスを示し、0は有効アドレスを示す。続いてDMAはバケット制御リスト開始アドレスレジスタで指し示されるアドレスに行き、新たなアドレスを取ってきて、有効の場合はこれを現PCLアドレスとして実行を開始する。

【0068】もしもこのアドレスが無効の場合は、リンクビットがDMA制御レジスタ内で消去され、DMA停止割り込みが、このチャンネルに対して割り込み状態レジスタ内の関連する状態と共に生成され、チャンネルは動作停止状態となる。この機構はPCLメモリ構造上の健全性チェックを提供し、同様に次のアドレスリンクが喪失された場合にチャンネルPCL実行を継続する比較的簡単な方法を提供する。有効な次PCLアドレスが検出されると、DMAはDMA制御レジスタ内にBUSYビットを立てPCLオフセット部の第一制御ワードを取ってくる。続いてその命令が受信か、送信か、PCLとローカルバスのどちら向きであるか、または補助命令であるかの判断をするためのチェックが行われる。優先順位符号化器128から、どのDMAチャンネルが合致しているかに依存して、合致を有する最高位の優先順位を持つチャンネルが、選択されるべき特定のDMAチャンネルを同定する。

【0069】図5は本実施例に基づく、指定されたDMAチャンネルヘッダ比較ロジック120の動作の更に詳細を示す。例えば、ワードWD0、WD1を含む受信データはヘッダ比較ロジック120に入る。これはワードWD0のコードセグメント134を含み、これは行き先ID比較ロジック136に送られる。WD0の一部138は転送コード比較ロジック140へ送られる。WD0の一部142は比較ロジック144に送られ、WD0ビット15:6および3:0が比較される。更に比較ロジック146はWD1の一部148として示されているビット31:16を受信する。行き先ID比較ロジック136からの比較ロジック出力、転送コード比較ロジック

140、WD0ビット3:0とWD0ビット15:6に作用する比較ロジック144、同様にWD1ビット31:16に対する比較ロジック146出力はAND機能150へ入力される。AND機能150の出力はチャンネル選択出力[x]であり、これはチャンネル選択

[0]からチャンネル選択[N-1]であって、先に説明したように優先順位符号化器128はこれを受信してDMAチャンネル選択信号130とアドレス合致信号132とを生成する。

【0070】図6、7、8および9はDMAチャンネルヘッダ比較ロジック120へ送られる受信データビットの詳細を示す。特に図6は非同期ヘッダ162の[7:4]を含む転送コード160を示す。同様に転送コードビット164は等時間間隔ヘッダ166のビット[7:4]を形成する。指定されたDMAチャンネルに於いて、合致データの組168はヘッダWD0162に対応するWD0合致データヘッダ170とヘッダ166に対応する選択合致データ組172とを含む。図6に示すように、[7:4]比較ビット174は比較選択WD0172の[7:4]ビット176で変更されて、受信ヘッダWD0ビット[7:4]に対する合致結果を判定する。この比較等時間間隔の出力は、その他の部分比較等時間間隔結果とANDが取られ、特定DMAチャンネルに対する合致値117を決定する。

【0071】図6は特定フィールドに関する、考えられるターゲットデータ値配列を示す。本発明は受信データを一度に1つのフィールドで取り込み、比較ワードと選択ワードとを設定して特定の結果を受け取るために考えられる方法を示すように試行する。特に、図6は転送コード160フィールドに関する同時比較を示す。転送コード160または転送コード164の1つは演算コードを提供し、これは受信データバス16および1394シリアルデータ上のデータ型式を、等時間間隔または非同期データとして識別する。図6に示す例では、転送コードは同一フィールドに存在する。この同時比較は非同期ヘッダおよび等時間間隔ヘッダの両方に同様に働く。等時間間隔および非同期ヘッダを復号するのに異なる方法もあるであろう。それらは図示される様なものであっても良いし、または互いに統合することも可能である。実際のコーディングは様々であろうが、その動作は最終的に比較するかしないかと言う点で同様である。

【0072】図7は非同期ヘッダ162の[3:0]ビット178および[15:8]ビット180、同様に等時間間隔ヘッダ166の[3:0]同期ビット182および[15:8]チャンネルビット184を強調している。ヘッダWD0の[3:0]ビット、一次ビット178または同期ビット182のいずれかは、172で示す比較選択WD0の[3:0]ビット188で修正された、170で示すWD0の[3:0]ビット186と比較される。更に170で示すヘッダWD0の[15:

7] ビット、非同期ヘッダ 162 の [15 : 7] ビット 180 または等時間間隔ヘッダ 166 の [15 : 7] ビット 184 のいずれかは、172 で示す比較選択 WD0 の [15 : 7] ビットで修正された、170 で示す比較 WD0 の [15 : 7] ビット 190 と比較される。図 7 で生じるこれらの合致判定の結果は回路 110 の比較ロジック 144 の WD0 ビット [3 : 0] および [15 : 7] に相当する。

【0073】図 8 は更に別の同時比較を示し、DMA チャンネル比較ロジック 110 の行き先 ID 比較ロジック 136 に対応している。非同期ヘッダ 162 は行き先 ID ビット [31 : 15] を含み、これは参照番号 200 で表されている。これらの同一ビット位置、166 で示すヘッダ WD0 の [31 : 16] ビットはデータ長ビット [31 : 16] を含み、これは等時間間隔データパケットに対する参照番号 202 で表されている。同様に、個々のリンク層制御レジスタ 92 のビット [31 : 16]、ここでは参照番号 204 で示されているものは、ノード番号とバス番号データとを含む。図 8 は 162 で示す非同期受信ヘッダ WD0、または 166 で示す等時間間隔受信ヘッダ WD0 が、データセット 172 ビット 208 に従って変更されたデータセット 170 ビット 206 の [31 : 16] ビットと合致するかの同時比較を図示している。合致データセット 210 は行き先 ID セットビット 212 としてビット [15 : 11] を含む。図 8 で実行される同時比較に基づいて、DMA チャンネル番号がロジックブロック 146 の中で導き出され、これは DMA チャンネル比較ロジック 110 の AND 機能 150 に送られる。

【0074】非同期ヘッダ WD0 の上位ビット [31 : 16] に、IEEE 1394 標準が行き先識別子を取り扱う方法であるため、特別な意味を持たせることが可能である。例えば、IEEE 1394 符号化はブロードキャスト形式のメッセージを異なるヘッダに指定する。受信機ヘッダに関しては、比較ワード 0 とビット選択ワード 0 とがあって、これによって特定の受信ヘッダワードを選択することが可能である。加えて、比較選択ワード 1 [15 : 11] 212 内の各ビットは、個別に特定行き先 ID 同時比較式を選択する。

【0075】図 9 は非同期ヘッダ 162 を示し、これは発信元 ID ビット [31 : 16] を 220 に含む。等時間間隔ヘッダ 166 内のこれらのビット位置 222 は変数データの一部である。WD1 比較ロジック 146 内で、DMA チャンネル 120 は、226 で示す比較選択ワード 1 ビット [31 : 16] に基づいて変更された合致データセット 170 のビット 16 ~ 31 を 220 または 222 で示すヘッダ WD1 ビット [31 : 16] と比較する。

【0076】図 10 はレジスタ書き込み回路 250 を示し、任意の個数のデータレジスタビットを一回のレジ

タ書き込み操作で書き込むためのものである。回路 250 は任意の個数の同様の回路の内の 1 つを図示する。各回路は任意の数のデータビットの内の 1 つの特定ビットを制御する。レジスタ書き込み回路 250 に於いて、汎用 I/O (GPIO) 書き込みデータ入力 252 はデータフリップフロップ 254 に接続されている。データフリップフロップ 254 はまたクロック信号 256 および AND 機能 260 からの書き込み可能入力 258 も受信する。AND 機能 260 は GPIO アドレス了承信号 262、書き込み標準信号 264 および GPIO アドレスビット入力 266 を入力とする。AND 機能 260 はデータフリップフロップ 254 の書き込み可能ビット 268 に書き込み可能出力 258 を供給する。個々の指定されたアドレスビット 266 が a1 のフリップフロップ 254 のみにそれぞれの GPIO 書き込みデータ 252 が書き込まれる。

【0077】レジスタ書き込み回路 250 はレジスタ内で変更しなければならないビットのみへの書き込みを可能とし、残りのビットの前回値は保存する。レジスタ書き込み回路 250 はまた、ソフトウェアが重要なビットを、読み出し、指定、または特定の動作に関係しないレジスタビットに操作することなく変更出来るようにしている。

【0078】レジスタのアドレスが存在する場合、そこに対して書き込み可能ビット 258、1 から 4 の GPIO がアドレスフィールドに基づいて書き込まれる。[GPIO] アドレス番号入力 266 内の Ax はこの書き込みの基本となるアドレスビットを表し、このビットに対して書き込みを行うか否かの判断を行う。書き込みストロブ 264 はこれが書き込み操作であることを告げる。GPIO アドレス了承 262 は全レジスタに対しての基本的なアドレス復号信号である。フリップフロップ 250 への書き込み可能入力 258 は AND 機能の出力である。書き込み可能がアクティブの時、入力書き込みデータ 252 がフリップフロップ 254 に書き込まれ、フリップフロップ出力 270 に出現する。

【0079】図 11 はアドレスフィールド 272 を示し、これは GPIO レジスタアドレスビット 274 および個別ビット選択フィールド 276 アドレスビット A0、A1、A2、および A3 を含み、これはアドレスフィールド 272 内の関連するビットの値、0 または 1 に基づく。アドレスフィールド 272 の最後の二つのビット 278 は通常零の値と考えられる。アドレス 272 の中で最下位の 2 ビットは零値と仮定されているが、これはバスアーキテクチャの要請である。次の A0、A1、A2、および A3 と指定されている 4 ビットは、個別にまたは異なる組み合わせで 4 ビットのアドレス指定を可能としている。より高位または最上位ビットは、この個別の機能に対して特定または割り当てられている個別のアドレスである。従って固定のビットパターンの組み合

わせが存在し、与えられたGPIOAドレス値のアドレス指定をして、特定のアドレスを選択する。その結果0000から1111まで（すなわち、16の異なる可能な組み合わせ）のアドレスの全配列がアドレス指定出来る。

【0080】DMA優先順位選択器は、PCIデータ移動に対して最も緊急の必要性を有するチャンネルの内容を起動するための責任がある。DMAは主状態機械（dma_fsm.v）として構成されており、これは選択されたチャンネルの状態を実行する。選択されたチャンネルは同時に任意のひとつの点の格納された条件の番号を有する。これらの格納された条件はそのコンテキストと呼ばれる。チャンネルのコンテキストの一部は、主状態機械で実行されているその現在の状態である。

【0081】状態機械はいくつかの空回り状態を有し、この状態ではチャンネルの実行を継続できるある種の条件が成立するまで待たなければならない。1つの明らかな場合は、有効PCLアドレスがロードされるまで、チャンネル可能ビットが設定されるまで、またリンクビットが設定されるまでチャンネルがアイドルまたは待機する時である。別の場合は、受信チャンネルが受信FIFO内のデータを待つ時である。もしも1つのチャンネルが受信データを待っていて、別のチャンネルは送信FIFOにデータ転送の準備が出来ている場合は、われわれはその転送を行わせる必要がある。この種のシナリオは多くの事例で生じる。

【0082】これらの空回り状態の一つは“機会の窓”を表し、ここでは別のチャンネルの処理が実行される。優先順位選択器はこれらの考えられる全ての空回り状態を監視し、どの状態およびチャンネルがその時点で最高位の優先順位を有するかを選択する。

【0083】図12は環境300内で処理されるDMA命令の一例を示す。図12に於いて、PCIレジスタ書き込みデータ302はマルチプレクサ304に入力される。マルチプレクサ304にはまたDMAレジスタ書き込みデータ306も入力される。適切なデータ源が、実行される操作に基づいて308で選択される。マルチプレクサ304の出力はDMAレジスタ310に入力され、図では例としてチャンネル0からチャンネル5までの6チャンネルを含むように図示されている。各々のチャンネルに関して、DMAフィールドは前回アドレスまたは暫定フィールド312、現PCIアドレスフィールド314、データバッファアドレス316、状態320、命令322、現状態324、準備完了ビット326を含む。DMAレジスタ書き込み調停選択回路328はまたDMAレジスタ310への入力を提供しており、これはPCISレーブ信号330、PCIマスタ信号332、DMA PCIマスタ周期入力334およびスレーブ終了入力336に応答する。DMAチャンネル調停器340はロックチャンネル入力342を受信し、マルチプ

レクサ346への入力を提供する。スレーブレジスタ読み込みアドレス入力348はマルチプレクサ344の動作を制御する。DMAレジスタ読み取りデータ出力350はDMAレジスタデータをPCIインタフェースに戻す。マルチプレクサ346はその出力をDMA状態機械次回状態ロジック352に提供する。DMA状態機械次回状態値354は状態レジスタおよびその他の出力レジスタにマルチプレクサ304を経由して戻って書き込まれる。DMA命令処理環境300からの出力はFIFO読み取り、書き込み、および選択信号356ならびに多数の信号を含む。

【0084】DMAチャンネル調停器340はどのチャンネルが実行されるべきかを制御する。この調停はFIFO358からの例えば“FIFO動作中チャンネルがデータを要求”および“FIFO動作中チャンネル”同様にどのFIFOがデータ転送準備完了状態でまたどのチャンネルが可能化されていて動作中であるかの信号に基づいて行われる。

【0085】DMAレジスタ310は制御と状態レジスタの設定とを実行して、各DMAチャンネルの制御と状態の監視とを行う。DMAレジスタ310は各DMAチャンネルの多数の機能をサポートする。例えば、前回パケット制御リスト開始アドレス/暫定レジスタ312は非同期転送中に待ち行列を処理するとDMAエンジン74で更新されるレジスタを提供する。これはまた補助命令がデータをロードおよびストアする際の一時待避レジスタとしても使用される。パケット制御リスト開始アドレスレジスタ314はアプリケーションソフトウェアによって初期化され、PCLチェイン内の最初の（ダミー）PCLの開始点を指定する。DMAエンジン74はこのPCLにロードされた次アドレスを使用して最初の実PCLにリンクする。パケット制御リスト開始アドレスレジスタ314は、PCLが処理されると動作中のDMAチャンネルによって更新される。DMAバッファ開始アドレスレジスタ316には、動作中のDMAチャンネルがPCLを処理する際にPCLから取り込まれたデータバッファポインタがロードされる。DMA状態レジスタ320はこのPCL中に転送されたビット数の進行中の計数値を格納し、また転送の完了状態を含む。PCLの処理が完了した後、動作中DMAチャンネルはこのレジスタの状態情報をPCL内のオフセット0xCの場所に書き戻す。

【0086】DMA制御レジスタ322は制御ビットを含み、アプリケーションソフトウェアがDMAチャンネルの動作を可能化または不能化して、リンクを張るためにPCLの次アドレスを再取り込み出来るようにしている。DMA制御レジスタ322はデータバッファ転送制御、転送ビット計数値、およびPCLから取り込まれた命令を格納する。DMA準備完了レジスタ326の最下位ビットはDMAチャンネルがXMT、RCV、LOA

D, STORE, STORE 0 または STORE 1 命令の実行を継続する前に準備完了状態まで待機させることができる。この準備完了状態は PCL の制御ワード（1 つまたは複数）で選択される。DMA 準備完了レジスタ 326 の最下位ビットは BRANCH 命令の実行中に、DMA チャンネルの条件付き分岐を可能とする。この条件は PCL の制御ワード（1 つまたは複数）で選択される。現 DMA 状態レジスタ 324 は DMA チャンネルの状態ベクトルを格納する。このレジスタは DMA チャンネルの動作時間中に更新され、チャンネルが停止する直前に生成された最後の状態ベクトルを保持する。

【0087】DMA レジスタ 310 はまた受信パケット計数値レジスタ（図示せず）を含むことも可能であり、これは現在受信されているパケット計数値を含む。DMA エンジン 74 はこのレジスタに GRF 80 トークンワード内を通過した受信パケット計数値をロードする。この計数値はそのデータが PCI バス 24 に転送される毎に減数される。また、DMA グローバルレジスタ（図示せず）を含むことも可能であり、これは状態機械が非同同期転送パケットの実行を追跡する際に使用する、状態フラグを含む。この DMA グローバルレジスタはキャッシュラインサイズレジスタと共に使用される下限ビットを格納し、PCI マスタが要求するバーストサイズを決定する。

【0088】図 21 はセクション 135 で静止状態にリセットされた後 DMA チャンネルが初期化される様子を示す。各 DMA レジスタ 310 は有効 PCL ポインタがパケット制御リスト開始アドレスレジスタ 314 に書き込まれるまで待機し、チャンネル可能化およびリンクビットが DMA 制御レジスタ内に設定される。有効 PCL ポインタは現パケット制御リスト（PCL）アドレスレジスタの第 0 ビットで判断される。値が 1 の場合は無効アドレスを表し、値が 0 の場合は有効アドレスを表す。次に DMA は現 PCL アドレスレジスタ開始アドレスレジスタで指定されたアドレスへ行き、次 PCL アドレスを取り込んで、もしも有効であればこれを現 PCL アドレスとして実行を開始する。もしもこのアドレスが無効の場合は、DMA 制御レジスタ内のリンクビットが消去されて、DMA 停止割り込みがこのチャンネルに対して生成され、同時に割り込み状態レジスタ内にも関連する状態が生成され、このチャンネルは停止される。この機構は PCL メモリ構造の健全性チェックを提供すると同時に、次アドレスリンクが喪失した場合（すなわち無効状態）に比較的簡単にチャンネル PCL 実行を継続する方法を提供する。DMA エンジン 74 が有効な次 PCL アドレスを検出すると、DMA エンジン 74 は DMA 制御ならびに状態レジスタ 76 内部に BSY ビットを設定し、適切な PCL のワードを取り込む。次にチェックを実施して、その命令が受信、転送、PCI とローカルバスとの間のどちら向きであるか、または補助命令かの判

断を行う。

【0089】図 21 は続いてセクション 137 で DMA エンジン 74 が GRF 80 内の等時間間隔および非同同期データの受信操作をする様子を図示している。DMA エンジン 74 は待機状態が存在するか否かを見るためのチェックを実行する。待機状態がもはや存在しない場合、処理装置はデータ移送フェーズに入る。ここで、DMA エンジン 74 はループに入り、現在転送計数値が零となっているかのチェックを行う。その場合は、これが PCL バッファリストの最終データバッファであるかを確認するためのチェックが行われる。もしもこれが最終バッファでしかも特殊制御トークンワードを GRF 80 内に書き込む事によるパケット境界の表示が、リンク層制御ロジック 90 によってなされていない場合は、エラーが発生するがこれはバッファが保持できるより多くのパケットデータが転送されることになるためである。この場合、PKT_ERR ビットが DMA 制御ならびに状態レジスタ 76 にセットされ DMA エンジン 74 は残りのデータをパケット境界まで流し込む。もしも現在転送計数値が零まで減数されていて、PCL リスト内に別のバッファが存在する場合は、DMA エンジン 74 は新たなバッファアドレスと転送計数値とを獲得し転送を実行する。

【0090】データを GRF 80 から PCI インタフェースロジック 70 へ移動させる一方で、DMA エンジン 74 は GRF 80 が十分なデータを持つまで待って、PCI バスマスタに転送実行要求を行う。この転送閾値に達するのは、1 つまたは 2 つの条件が合致する場合である。DMA エンジン 74 は受信 FIFO 内のビット数が“高水位マーク”に達した際に PCI マスタに転送要求を行う。この高水位マークはキャッシュラインレジスタ以上かまたは DMA グローバルレジスタの下位境界フィールドに等しい。

【0091】DMA はパケットのデータサイズの情報をリンクから得るが、これはパケットが最初に GRF 80 の中にリンク層制御ロジック 90 によって書き込まれた時である。この転送計数値を用いて GRF 80 内のデータがパケット内の残りのデータであるかを判断し、もしもそうであってそのサイズが高水位マークよりも小さい場合は、その転送計数値がこの残り部分に等しい PCI マスタロジック 64 の転送を要求する。DMA エンジン 74 がデータを転送する一方で、DMA 制御ならびに状態レジスタ 76 内のデータバッファ開始アドレスレジスタおよびデータバッファ転送長ビットが、転送の現在状態を反映するように更新される。

【0092】図 22 および図 23 のセクション 139 が示すように、リンク層制御ロジック 90 がパケットの最後に遭遇すると、これは特殊制御トークンワードを GRF 80 に書き込み、パケットの終わりを記す。この制御ワードに組み込まれているのは状態ビットであって、こ

れはバス上でのパケットの完了状態を表示する。DMA エンジン 74 はこのパケットの終了印を用いて GRF 80 から PCI バス 24 へのデータ転送を終了する。もしもパケットの終了印が、IEEE 1394 ビジー肯定確認信号が存在することを示している場合は、DMA エンジン 74 は PCL の最初のバッファアドレスと転送計数値とを再獲得しパケットの全体の転送を開始する。ビジー肯定確認状態がパケットの終了印から表示されていない場合は、DMA 制御ならびに状態レジスタ 76 はパケットの終了印の中にリンク層制御ロジック 90 から通過された肯定確認状態がロードされ、パケット完了ビットがセットされる。次にパケット完了状態が PCL 状態ワード内メモリに書き込まれ、割り込み信号が発せられて割り込み状態レジスタ内の対応するビット内にラッチされる。もしも命令が受信および更新命令であった場合は、残りの転送計数値および次バッファアドレスが適切な PCL オフセットに書き込まれる。

【0093】図 13 は表 360 を図示し、DMA チャンネル調停回路 340 の動作を示している。表 360 はもしもチャンネルが IEEE 標準 1394 バス上で現在動作中の場合は、そのチャンネルは DMA チャンネル実行スケジュールの中で最上位の優先順位を持つことを示している。そうでない場合は、チャンネル優先順位はチャンネル番号順であり、0 が最も高い優先順位を持つ。“無視”値には値“X”が 362 部分に割り当てられている。これはその他の値がどうであっても、現在動作中のチャンネルが最も高い優先順位であることを意味している。すなわちチャンネルは早い者勝ちでスケジュールされる。

【0094】DMA 命令処理の動作を下記の例で示す。DMA が現在チャンネル 3 で動作していると仮定する。従って、チャンネル 3 に対する全てのレジスタは DMA 内のマルチプレクサ 346 経由で選択されている。DMA はレジスタの個々のスライスを選択して DMA 状態機械上の現在状態および次状態ロジックに出現させる。

【0095】図 14 は本発明のパーソナルコンピュータ環境 12 の簡略化された図を示し、これは自動ブート機能 370 を含む。PCI インタフェース ASIC 20 のピン 370 は自動ブート PCI インタフェース ASIC 20 への直接入力を提供する。結果として PCI インタフェース ASIC 20 は参照番号 30 の PCI 機器 #1、参照番号 31 の PCI 機器 #2 に対して PCI バス 24 を通してホスト機器として動作する。PCI インタフェース ASIC 20 に対する自律動作命令は RPL ROM 36 および SRAM 38 を使用するはずである。更に、インタフェースバス 16 を通して PCI インタフェース ASIC 20 は物理層インタフェース 18 と通信を行う。

【0096】自動ブートピン 370 が動作中（すなわち持ち上げられている時）、本発明の自動ブートモードが

選択される。自動ブートモードは多くの特徴を可能とし、これは PCI インタフェース ASIC 20 を自律的に機能させる。自律動作は次の機能を含む、電源リセット後、DMA チャンネル 0 を使用して最初のパケット制御リストのアドレスを取り込む。また、電源リセット後、自動ブートモードは DMA マスタが外部 RPL ROM にアクセスすることが出来るようにする。更に、電源リセット後、自動ブートモードは DMA マスタが内部リンクレジスタにアクセス出来るようにする。

【0097】一度 PCI バス 24 上でマスタとして可能化されると、PCI インタフェース ASIC 20 は PCI 構成、入力/出力、およびメモリ読み取りおよび書き込み命令を PCI バス 24 に発して、パケット制御リストを制御する際の適切なアドレス範囲を特定する。自動ブートモードの動作中、外部 PCI アドレス空間は 30 ビットに制限される。最上位の 2 つのアドレスビットの値は常に 0 である。内部的にこれら 2 ビットは PCI 命令を選択するために使用される。

【0098】自動ブートピン 370 の状態は診断目的で、その他の制御レジスタ内の特別ビットから読むことができる。選択された自動ブートモードおよび外部 ROM を用いて、本発明は PCI インタフェース ASIC 20 をローカル処理装置として動作させ、全ての内部 PCI インタフェース ASIC 20 レジスタをセットアップし、PCI バス 24 上のその他の機器を初期化しそしてその他の複数の PCL を構築して連結することが可能である。種々の DMA チャンネルはこれらの PCL を実行して IEEE 1394 バス上でデータ転送を行わせることが可能である。

【0099】外部ローカルバス RAM を PCI インタフェース ASIC 20 に追加することにより、PCI スレーブメモリが PCI バス 24 上の機器に具備され、制御情報の獲得が行え、またデータ転送用のローカルメモリを持つことができる。PCL プログラムは機器制御/データを IEEE 1394 経由でその他のシステムに転送することが出来る。従って、本発明の自動ブートモードを採用している環境は、PCI インタフェース環境を管理する適切な処理装置を利用できない周辺機器で使うことができる。

【0100】図 14 の回路は外部ピン経由でチップに対して別の動作モードを提供する。その効果はメモリマップの一部を可能化および事前指定して電源投入時に DMA エンジン 74 がアクセス可能な資源を十分に確保し、全ての要求された機能が十分に有効に働くようにすることである。また、その効果は DMA エンジン 74 の動作を変更して、DMA 機械が特定モードの時に機械が動作停止となる代わりに専用の ROM から新たな命令を要求するようにすることである。

【0101】DMA エンジン 74 が動作中となり、命令を得るために或るアドレスを獲得する。これにより PC

I インタフェースASIC20が単独独立モードで動作することが可能となる。これはまたPCIメモリ命令、およびPCIインタフェースASIC20からの全ての入力/出力命令の生成を可能とする。

【0102】自動ブートピン370を使用することにより、本発明はROMおよびRAMに基づくアドレスレジスタのアクセスおよび初期化を可能化することにより、電源投入メモリマップの再構成を可能とする。これによりDMA機械が電源投入後に読み取りおよび書き込みアクセス出来るようになる。更に、本発明は自動ブートモードが選択された際のDMAエンジン74の挙動を変更する。これにより電源投入時に専用ROMアドレスから新たな命令を獲得することが出来るようになる。初期アクセスアドレスは本実施例ではまさに0である。本発明は更に通常的环境では要求されないバス命令およびプロトコルを生成する方法をも提供する。

【0103】DMAエンジン74は自動ブートオプションが選択された際に、RPL ROM36から命令を獲得して実行することができる。これにより、DMAエンジン74が外部PCIバス上のマスタ機器として動作するために要求される命令を生成して、この外部バス上のその他のPCI機器を構成し、初期化しそして管理できるようにする。

【0104】図15の表380は、自動ブート入力370が作動された際の、内部PCIアドレスバス[31:30]ビットのPCIバス上の命令への写像を示す。例えば、ビット31の値が0でビット30が任意の値の時、PCIメモリ命令が動作される。その後、アドレスビット31の値が1となり、アドレスビット30の値が0となると、PCI入出力命令が生じる。アドレスビット31の値が1で、かつアドレスビット30の値が1の場合、PCI構成命令がPCIインタフェースASIC20へ送られる。

【0105】図16は、本発明のひとつの特徴に基づくローカルバスインタフェースブロック390の図を示す。ローカルバスインタフェースブロック390はローカルバス構成レジスタ392、ZV機械396と通信を行うズームビデオ(ZV)復号インタフェースブロック394とを含む。バック/アンバック状態機械398はアドレス/データ/ビット可能化保持レジスタ398を含む。ローカルバスインタフェースブロック390はまたローカルバスインタフェース状態機械400とスレーブ肯定確認割り込みブロック402とを含む。

【0106】図2のZVポートは、IEEE1394標準バスからPCIインタフェースASIC20上の外部機器へデータを転送するための出力専用ポートである。正しくプログラムされると、ZVインタフェースロジックはIEEE1394デジタルカメラパケットを受信し、そのペイロードを外部ZV適合機器に適切な制御信号と共に転送するための方法を提供する。

【0107】ZV復号回路394は第三PCIメモリ標準アドレスレジスタの副セット経由でアクセスされる。ZV復号回路394が可能化されると、補助アドレスの0xF000と0xFFFFの間がZVポートに写像される。ZVポートは6つの利用可能クロック源395の内のひとつがZV画素クロックとして選択された際に可能化される。もしも6つのクロックのいずれも選択されない場合は、ZVポートは不能化され、補助インタフェースは全アドレス空間を要求する。ZVポートが不能化されると、全てのZV関連出力はデータバスを除き中立状態となり、データバスは補助、RAMおよびROMアクセス中に駆動される。

【0108】ZVポートで、IEEE1394等時間間隔パケットヘッダ同期フィールドが0x1に等しいと検出されると垂直同期信号が生成される。本実施例に於いて、データビット24は重要な同期フィールドデータを含む。この垂直同期ビットを検出すると、垂直同期出力が生成される。フレームの残り部分に関しては、ビデオデータをズームポートに転送する際に特別のアドレスがアクセスされる毎に水平同期出力が生成される。パケット制御リストを適切にプログラムすることにより、全てのIEEE1394デジタルカメラパケットがZVポートを経由して転送出来る。

【0109】図17は本発明の同期検出回路405のひとつの実施例を示し、これは垂直同期検出信号407と水平同期検出信号409を生成するためのものである。PCISレーブアドレスビット[15:0]の値が0xF000と仮定され、スレーブデータビット28がバイナリ値の1と仮定される時には、比較回路411および413は信号をANDゲート415に送る。これは垂直同期検出信号を線407上に生成する。同様に、スレーブアドレスビット[15:0]が0XF004を比較回路417に送ると、水平同期検出信号が線409上に出現する。

【0110】図18は本発明に基づくパケットズームポートアドレスマップ410用の1つのビデオ走査線を示す。ズームポートアドレスマップ410はアドレス0XF000で始まる等時間間隔パケットヘッダ412と、参照番号414から424で詳細に示されるアドレス0XF004で始まり0XFFFFで終了する等時間間隔パケットデータ空間を含む。各々の等時間間隔パケットはズームポートアドレス空間に、アドレス0XF000に転送されるヘッダクウォドレットと共に転送され、第一データペイロードクウォドレット428はアドレス0XF004に転送され、パケット内の残りのクウォドレットは順番通りのアドレスにパケットペイロードデータの終わりが、パケットNクウォドレット長の場合はアドレス(0XF000+(N-1))に達するまで転送される。

【0111】図18は本発明が、ソフトウェアの支援を

受けずにハードウェアが管理するウィンドウの中にビデオ画像表示を自律的に表示出来ることを示している。本発明は生データを I E E E 1 3 9 4 バス上に送出し、ズームポートの中にビデオ制御器チップに入力データとして入るのと互換性のあるフォーマットで流し込むことを可能としている。これは水平および垂直フレーム同期を維持しながら自律的にデータを表示することを可能としている。

【0112】動作中、ズームビデオポートはあるアドレス空間の中に写像されている。ヘッダはフレーム同期情報または信号を含む。正しい制御構造を構築することにより、ヘッダパケットデータを、ロジックがあるフィールドを探すアドレスに基づく特定アドレスに転送する。I E E E P 1 3 9 4 デジタルカメラ仕様に適合するソニーカメラの場合、等時間間隔ヘッダ同期フィールド内のビットはビデオフレームの開始位置を示す。この特定の等時間間隔ヘッダ同期フィールドビットを復号する事により、垂直同期信号が生成される。この情報を使用してズームポートデータのズームポートへの受信の同期を取ることができる。

【0113】これを実現するのに2つの場合がある、1つは水平同期、そしてもう1つは垂直同期である。垂直同期に関しては、復号に際して特定アドレスと特定等時間間隔ヘッダ同期ビットが必要である。水平同期は別の特定アドレスを復号することにより生成される。

【0114】本発明のビデオズーム機能は水平または垂直同期信号の様な制御情報を、符号化されたビデオの様な組込型制御情報を含むパケット化されたデータから、自律的に抽出する機能を提供する。同時比較ロジック 4 1 1 および 4 1 3 は、特定データ値で指定された行き先アドレスへの転送を検出する。

【0115】本発明はまたパケットデータの異なるセグメントに対して適切な行き先を指定するための、ソフトウェアまたはハードウェア制御構造を提供する。DMA アーキテクチャは、特定のパケットを異なる行き先アドレスに異なる長さに分解して収集または配送することが可能としている。従って、本発明はヘッダフィールドを特定のアドレスに書き込みまた、データフィールドを別のアドレスに書き込む事が出来る。この特徴を利用して本発明は P C I インタフェース機器のどの部分がどのアドレスを見るかを制御出来る。

【0116】本発明は更にプログラム可能計数器を提供し、これは特定アドレス位置そして/またはデータパターンへの多重アクセスを行う基本制御信号を生成するために使用される。これは計数器を使用することで水平走査線毎にまたは水平同期の間に多重パケットを与えるというオプションが生じる。従って、垂直同期の直後に水平同期信号が生成される。これはシステムが特定アドレスを通過する回数を計数する事を可能とする。システムは例えばそのアドレスを4回繰り返した後にのみ別の水

平同期信号を生成するように出来る。これにより特定のカメラ、解像度などに従って4つのパケットを水平走査線にまとめることが可能となる。

【0117】図19は、単一ビデオパケットを複数のビデオ走査線にズームポートアドレスマップ 4 1 0 を用いて写像する手順を示す。ズームポートアドレスマップ 4 1 0 は等時間間隔パケットヘッダ 4 1 2 を含み、これは等時間間隔パケットデータ 4 1 4 に隣接している。メモリ空間 4 1 6 から 4 2 4 は図17で説明したものと同様である。ズームビデオ等時間間隔パケット 4 4 0 はヘッダクウォドレット 0 を含み、これは等時間間隔ヘッダ同期フィールド内にフレーム開始ビットを含むはずである。クウォドレット 1 は第一ビデオデータペイロードクウォドレットであり、これはビデオ走査 A の開始部分を含む。水平同期信号はこのクウォドレットをアドレス 0 X F 0 0 4 に書き込むことにより生成される。同様に、データクウォドレット 4 4 2 をアドレス 0 X F 0 0 4 に書き込むことは水平同期を生成することによりビデオ走査 A + 1 の開始部分を示す。0 X F 0 0 0 から開始され

【0 X F 0 0 0 + (N - 1)】まで続くデータの書き込みは、ズームビデオポートを通して出力される実際のデータ、すなわちズームデータである。ヘッダは取りはざされるのでデータフィールドの一部とはならない。

【0118】従って、この場合垂直同期と水平同期とをビデオフレームの第一パケットに対して生成する。後続のパケットはビデオフレームヘッダの残りの部分を埋める後続の走査線を意味するが、これらのヘッダは同期フィールドは含まない。データの流れは全てのパケットに対して同一であり、各々そこにヘッダが存在する点 0 X F 0 0 0 から開始され、もしも同期ビットがヘッダ内に存在しない場合、垂直同期ビットは設定されない。もしも F 0 0 4 に書き込まれた時には水平同期が生成される。これは走査線の開始を生成し、これにより残りのデータが走査線の一部として流れ出る。

【0119】更に多重の走査線がパケット毎に存在する状況もある。これを取り扱うために、パケット制御リストが使用される。

【0120】本発明のDMAエンジン 7 4 はパケット制御リストまたは P C L と呼ばれるデータ構造により制御される。P C L は命令情報を含み、これをDMAは必要に応じてメモリから取り出す。これらの命令はDMAに対してデータの発信元と行き先、ならびにどれだけのバイト量が転送されるかを告げる。いくつかの命令はデータの塊を I E E E 1 3 9 4 転送 F I F O と P C I バス 2 4 との間、または汎用受信 F I F O 8 0 と P C I バス 2 4 との間で移動させる。別の命令はデータを P C I バス 2 4 と補助ポートローカルバス 2 6 との間で移動させる。その他の命令は二次機能であって補助命令と呼ばれる。これらの補助命令はDMAが任意の P C I アドレスに対して指定されたデータのクウォドレットをのぞき見

たり手を入れたり出来るようにし、また P C L を使用した条件付き分岐を可能としたりする。意図している使用目的は、D M A が特別なデータの移動制御を実行したりまた、P C L を自動ブートシーケンスで構築できる単独独立処理装置として機能出来るようにする事である。この機能の全範囲が系統立てられているわけでは無く、D M A のこれ以外の使用方法もこれから展開されるであろう。

【 0 1 2 1 】 本発明のアプリケーションソフトウェアは D M A チャンネルの動作を、ホストメモリの中に存在する P C L データ構造を用いてプログラムする。アプリケーションソフトウェアは P C L の構築およびメモリの記憶装置への配置の任を負う。P C L はメモリ配列の連続した組として組織され、これは命令、制御パラメータ、およびデータバッファポインタを含み、これらは D M A チャンネルが 1 つの I E E E 1 3 9 4 データパケットの転送する時、またはデータを P C I バス 2 4 と補助ポートローカルバス 2 6 との間で移動するとき、または 1 つまたは複数の補助命令を実行する際に要求されるものである。P C L から要求されるメモリ配列の総数は、今回の実現例では一般的に 3 2 クウォドレットに制限されている。

【 0 1 2 2 】 最低限の要求として、P C L 開始アドレスはクウォドレットの境界部に並べられている。D M A の性能を最適とするために、P C L 開始アドレスはキャッシュライン境界上のラインであることが推奨されている。データバッファポインタは任意のバイト境界に配列する事ができる。D M A 性能を最適とするために、本発明ではデータバッファポインタをキャッシュライン境界上に配列している。もしもこれが不可能な場合は、データバッファポインタをクウォドレットの境界上に配列するのが次善の方法である。P C L で指定されるデータバッファサイズの合計は、I E E E 1 3 9 4 ビット速度が 1 0 0 m b p s の場合はおよそ 1 キロビット、または I E E E 1 3 9 4 ビット速度が 2 0 0 m b p s の場合はおよそ 2 キロビットに制限される。

【 0 1 2 3 】 本実施例に於いて、動作中 D M A チャンネルは命令および制御パラメータを P C L から取り込み、これらを用いてチャンネル自体を構築して転送命令を実行する。

【 0 1 2 4 】 アプリケーションソフトウェアプログラムで、D M A チャンネルが複数の I E E E 1 3 9 4 データパケットを転送することを、複数のパケット制御リストを P C L リスト待ち行列の中で連鎖することにより可能とする。本発明はこの待ち行列を各 P C L の次アドレスフィールドを、次 P C L のメモリ内の開始アドレスを指示するようにセットすることで構成している。待ち行列の最後の P C L は D M A 処理を停止させるか、待ち行列の先頭に戻るかまたは新たな待ち行列を指示するようにプログラム出来る。補助命令を含む P C L は P C L 待ち

行列内の何処にでも組み込むことが出来るが、両方を同時には出来ない。P C L 待ち行列は、受信および送信また補助命令を混在させることが可能である；しかしながら非同期転送命令は別の非同期転送命令の次に無ければならず、これはパイプライン構造の転送を行うためと、またパケットの再試行の可能性があるためである。一方、非同期転送命令内の”状態待ち”ビットを設定することにより、この要求は排除される。

【 0 1 2 5 】 図 2 0 は本発明の実施例に基づき、複数のパケット制御リストのリンクされたリストの例を図示する。図 2 0 に於いて、P C I 待ち行列 4 5 0 は開始アドレス 4 5 2 から始まる。開始アドレス 4 5 2 から処理の流れはダミーパケット制御リスト 4 5 4 に入る。ダミーパケット制御リスト 4 5 4 は処理の流れを転送命令パケット制御リスト 4 5 6 に送る。転送命令パケット制御リスト 0 に於いて、データバッファ計数命令およびデータバッファアドレス情報は例えばデータバッファ 4 6 0、データバッファ 4 6 2、データバッファ 4 6 4 まで行き、この例では 1 4 個のデータバッファが使用される。

【 0 1 2 6 】 参照番号 4 5 6 が示す、転送命令パケット制御リスト 0 は、次リストアドレス 4 6 6 を含み、これは参照番号 4 7 0 で示す補助命令パケット制御リスト 1 へ接続される。参照番号 4 7 0 で示す、補助命令パケット制御リスト 1 はロード命令 4 7 2、発信元アドレスを 4 7 4 に、またストア命令および位置 4 7 6 に含む。ロード命令 4 7 2 はデータレジスタ 4 7 8 に接続され、これは D M A レジスタ 4 8 0 を供給する。ストア 1 命令 4 7 6 は入力をメモリ位置 4 8 2 に提供する。参照番号 4 7 0 で示す、補助命令パケット制御リスト 1 はまた、条件成立時の行き先アドレス 4 8 4 をも含み、これは条件に応じて P C I 工程制御を、参照番号 4 8 6 で示す転送命令パケット制御リスト 2 に送る。参照番号 4 8 6 で示す転送命令パケット制御リスト 2 は次リストアドレス 4 8 8 を含み、これは参照番号 4 9 0 で示されるように別の P C L へ接続するためのものであり、一方データ計数およびデータバッファアドレス 4 9 2 は、データバッファ 4 9 4 に接続され、以下は同様に接続される。条件成立時の行き先アドレス 4 8 4 が P C I 待ち行列の処理の流れを制御している場合には、次リストアドレス 4 6 8 は参照番号 4 8 6 で示す、転送命令パケット制御リスト 2 に接続される。この情報は次に次リストアドレスから、参照番号 4 9 0 で示されるように別の P C I に送られ、データバッファ 0 アドレスおよび計数命令情報はデータバッファ 1 に送られる、以下同様である。

【 0 1 2 7 】 典型的にホスト C P U 4 4 が動作する場合は、パケット制御リストとダミーの次 P C L アドレスを構築するためにメモリを配列するが、これは前回 P C L が存在しないからである。ダミーの次 P C L アドレスはメモリ位置を提供し、これは第一完全 P C L、すなわち P C L 0 の開始ポインタである。次にホスト処理装置は

必要な PCL のリストを構築し、データ転送または補助命令のいずれかの型式、例えば実際に処理装置相当の命令を行う補助命令の操作を実施させる。

【0128】次 PCL アドレス内の空間は、エラーアドレス、予約位置、および状態を含む。次の対は制御状態、転送計数値である。そのひとつ置いて次はデータバッファアドレスである。これら 2 つの長ワードは 1 つの命令または 1 つのデータバッファへのデータ転送を構成する。転送例はメモリ内のデータバッファ位置を指示するバッファアドレスであって、この場所へそのデータが転送されるかまたはそこから転送される。もしもデータが連続して転送される場合には、本実施例では連続データ転送のための大きな制御ループを形成できるようにしている。

【0129】図 21 から図 30 および以下の説明で本発明の、PCI とポートローカルバスとの間の、受信、送信、または補助操作の動作を説明する。受信操作に於いて、図 21 が示すように GRF80 内の等時間間隔および非同期データに対して、処理の流れは待ち状態が存在しているかをチェックすることから開始される。図 27 に示すように等時間間隔送信に関して、もしもチャンネル可能化が 1 に等しい場合、送信機能は準備完了であり、周期開始ビットは了承となって待ち状態は存在しない。待ち状態はデータバッファ制御ワード零の待ち選択器ビットによって判定される。待ち状態が存在しなくなると、処理装置はデータ移送フェーズに入る。ここでループに入り、現転送計数値が零となっているかの確認が行われる。もしも零となっていたら、それが PCL バッファリストの最後のデータバッファであるかのチェックが行われる。もしもそのデータバッファが最後のデータバッファであり、リンク層制御器が特別の制御トークンワードを GRF FIF0 の中に書き込むことによってなされる、パケット境界の表示がなされていない場合は、エラーが生じるが、それはバッファが保持出来る以上のパケットデータが転送されようとしているためである。この場合パケットエラービットが DMA 状態レジスタ内にセットされ、DMA は残りのデータをパケット境界まで押し流す。もしも現転送計数値が零まで減数されたと判断され、PCL リスト内に別のバッファが存在する場合は、DMA は新たなバッファアドレスと転送計数値とを獲得し、転送を継続する。

【0130】PCI インタフェース内の受信 FIF0 からデータを移動する一方で、DMA は PCI バスマスタに対して転送の実行要求を行う前に FIF0 が十分なデータを持つまで待機する。この転送閾値には 1 つまたは 2 つの条件が合致すると到達する。DMA は受信 FIF0 内のバイト数が“高水位マーク”に達すると必ず PCI マスタの転送を要求する。この高水位マークはキャッシュラインサイズレジスタの上限値または DMA グローバルレジスタの下限境界フィールドに等しい。DMA は

パケットのデータサイズの情報を、そのパケットが最初に長さ層制御器によって FIF0 の中に書き込まれた時に、リンクから取得する。それはこの転送計数値を用いて FIF0 内のデータがパケット内の残っているデータかを判断し、もしもそうであり、そのサイズが高水位マーク未満の場合は、その転送計数値がこの残りに等しい PCI マスタに対して転送を要求する。DMA がデータを転送する間、DMA 制御レジスタ内の転送長ビットにバッファリングされたデータ内のデータバッファ開始アドレスレジスタは、転送の現在状況を反映するように更新される。

【0131】リンク層制御器がパケットの終端に達すると、これは特別な制御トークンワードを FIF0 内に書き込んでパケットの終わりを記す。この制御ワードの中に組み込まれているのは、バス上でそのパケットの完了状態を表す状態ビットである。DMA はこのパケット終了マーカを用いて FIF0 から PCI バスへのデータの転送を終了させる。パケット終了マーカが IEEE 1394 ビジー肯定確認を表している場合は、DMA は PCL の第一バッファアドレスと転送計数値とを再獲得し、パケットの転送を再度開始する。パケット終了マーカからビジー状態が表示され無い場合は、DMA 状態レジスタにはリンク層制御器からパケット終了マーカの中に送られた肯定確認状態がロードされ、パケットの完了がセットされる。次にこれは PCL 状態ワード内のメモリに、この PCL へ転送されたビットの数と一緒に書き込まれる。もしも INT ビットが PCL 内のデータバッファ制御/バイト計数命令に対してセットされると、割り込み信号が発せられて割り込み状態レジスタ内の対応する DMA PCL ビットの中にラッチされる。もしも命令が受信および更新命令の場合は、残りの転送計数値と次バッファアドレスとが PCL に書き込まれる。次に DMA は別の PCL が現 PCL にリンクされているかを、現 PCL の次リストアドレスフィールドを取り込む事によって判断する。リンクされている PCL が存在する場合は、DMA はそのリンクされている PCL を現 PCL として実行を継続する。現 PCL に別の PCL がリンクされていない場合は、DMA 停止割り込みがこのチャンネルに対して関連する状態と共に割り込み状態レジスタ内に生成され、そのチャンネルはアイドルリング状態となる。

【0132】DMA 非同期転送操作に関して、図 24 から図 26 に示すように非同期転送は、有効 PCL ポインタがパケット制御リスト開始アドレスレジスタに書き込まれ、チャンネル可能化およびリンクビットがセットされた後に判断される。非同期パケット処理装置の最終的な目的は、リンク層制御器によって FIF0 から IEEE 1394 バスに転送される現パケットより 1 パケット多く、残すことである。DMA の観点から見ると、バス上のこのパケットは前回パケットである。リンク層制御

器から報告される全ての状態は、この前回パケットに関するものと考えられる；しかしながら、“状態待ち”ビットをPCL内の“データバッファ/バイト計数/命令”の中にセットすることにより、このパイプライン操作が防止される。DMAは前回パケット制御リスト開始アドレスのアドレスを、前回パケット制御リスト開始アドレス/暫定レジスタ内に保持する。“前回PCL有効”と呼ばれるフラグがDMAによってDMAグローバルレジスタ内に保持され、それが格納されていた有効アドレスであるかの記録をとる。非同期チャンネルでの転送操作は待ち状態が存在するかを確認しながら遂行される。待ち状態はPCL内の“データバッファ制御/バイト計数/命令”の待ち選択ビットにより判断される。“再試行”と呼ばれるフラグがDMAによってDMAグローバルレジスタ内に保持される。DMAはこのフラグを使用して、再試行中にはこれらの待ち状態が無視されるよう、待ち状態が評価されるように追跡する。

【0133】待ち状態が存在しなくなると、DMAはパケットの先頭を表す制御トークンをFIFOに書き込み、データ移送フェーズに入る。ここでループに入ると、現転送計数値がチェックされそれが零に達しているかの確認が行われる。もしもそうである場合は、これがPCLバッファリストの最終データバッファであるかを確認するためのチェックが行われる。もしもPCL内に別のバッファが存在する場合は、DMAは新たなバッファアドレスと転送計数値とを獲得し、転送を遂行する。データを非同期転送FIFOの中にPCIインタフェースから移送する一方で、DMAはPCIバスマスタが読み取り転送を実行するように要求する前に、FIFOが十分な空きを持つまで待機する。DMAはDMA受信操作に関して定義された高水位マークと等しいビット計数値を備えたPCIマスタの転送を要求する。DMAがデータを転送する間、DMA制御レジスタ内のデータバッファ開始アドレスレジスタおよびデータバッファ転送リンクビットは転送の現在状態を反映するように更新される。

【0134】バッファからデータの最終ビットが非同期転送FIFOへ転送され、そのバッファが制御/バイト計数PCLワード内の最終バッファビットで示されるように、PCLリストの最後である時には、DMAはパケットの終端に達したことを知る。もしも前回パケットアドレスが有効であれば、DMAは状態のチェックを全パケットが転送FIFOの中に詰め込まれるまで遅らせる。この場合、状態待ちビットがセットされない限り、戻り状態は常に前回パケットに対するものである。もしも唯一つのパケットのみが転送されるのであれば、前回および現在パケットは同一である。もしも前回パケットアドレスが有効の場合は、DMAはパケット計数器を確認する。パケットがIEEE1394バスにリンク層制御器によって転送が完了し、このパケットの状態が有効

の時は、リンク層制御器はパケット計数器を減数する。DMAはパケット計数器が零となって前回パケットに対して有効状態が適用出来ることを示すまで、空転して待機する。もしも状態が前回パケットが再試行されるべき事を示す場合は、DMAはFIFOの押し流し要求をリンク層制御器に対して行い、リンク層制御器が再試行表示を取り除くことでFIFOの押し流しが完了したことを示すまで待機する。次にDMAは前回パケットに“戻って”全体の転送を開始する。再試行が発生しない場合は、DMAはDMA状態レジスタをリンク層制御器から送られてきた肯定確認状態で更新し、パケットの完了をセットし、次に完了状態を前回PCL状態ワード内のメモリに、前回PCLとは関係しないはずの現在動作中のPCLに対して転送されるビット数と共に書き込む。もしも割り込みビットがPCLの中にセットされると、割り込み信号が発せられて対応する割り込み状態レジスタビットの中にラッチされる。

【0135】状態のチェックが終わると、DMAは特別制御トークンを転送FIFOに書き込み、パケットの終了を記す。パケット計数値は1に減数されてリンク層制御器に対してパケットの終了がDMAによって書き込まれたことを示す。現PCLアドレスが前回PCLアドレスとして保存され、前回パケット制御リスト開始アドレスレジスタおよび“前回有効”フラグがDMAグローバルレジスタの中にセットされる。次にDMAは別のPCLが現PCLにリンクされているか否かを、次リストアドレス値を取り込むことによって判断する。もしもそれが有効な場合は、DMAはこれを現PCLアドレスとし実行を継続する。もしもそれが有効でないかまたは、状態待ちビットがセットされている場合は、DMAは現パケットがリンク層制御器によって転送されるまで待機する。パケット計数器が零に減数することで示されるように、有効状態が認められる場合は、DMAはパケットがIEEE1394ビジー状態で示されるように再試行されるべきかを確認するためのチェックを行う。もしもそうである場合は、FIFOは先に説明したように押し流され転送が再度試みられる。

【0136】もしもリンク層制御器で示されるように転送時間切れ、再試行超過、またはFIFO未達が存在した場合は、パケットエラービットがDMA状態レジスタに肯定確認状態と共に送られる。この状態はPCL内で更新される。転送時間切れまたは再試行超過の場合は、対象ノードがもはや応答しないとする事が可能であろう。DMAはこの状況を、この特定ノードへのデータのストリームを形成するPCLをスキップ出来るようにすることで解消する。ソフトウェアはPCLの次PCLストリームの入口を転送データの次ストリーム（すなわち別の1394ノードへの次非同期転送）に対する第一PCLに指定することでセットできる。もしも次PCLストリームアドレスが有効な場合は、DMAはこのPCL

で実行を継続する。もしもこのアドレスが有効で無い場合は、DMAチャンネルは次PCLアドレスが無効であると印される場合に遭遇したときと同様、アイドル状態に入る。もしもこの次ストリーム内容が使用されない場合は、この値は次リストアドレスと同じ値にセットされるべきである。もしもDMAが停止すると、DMA停止割り込み状態を通知し次PCLストリーム導入が無効となるため、次PCLストリームの再書き込みが必要となる、それはDMAが次ストリーム取得状態にあり、DMAが次リストアドレスを無視するためである。従って、常に“次リストアドレス”および“次PCLストリーム”を同一アドレスにセットすることが、もしも次ストリーム内容が使用されない場合には必要であって、それは次PCLストリーム導入を実施する全ての非同期転送チャンネルが、エラーのために宙ぶらりんになることを防止するためである。

【0137】図28、29は上記の非同期および等時間間隔転送操作で説明したのと同様の流れ図を示すが、DMAエンジン74の補助操作に適用されるものである。

【0138】図30に示すように、PCIからローカルバスへ、またローカルバスからPCIへの転送操作は、PCIバスとローカルバスとの間のデータ転送を制御する。PCIアドレスおよび転送されるビット数は、転送の様なその他の転送命令と同様、PCL内のPCLデータバッファ制御/ビット計数/命令ワードから導かれる。違いは転送の行き先または発信元がFIFOではなくローカルバスであることである。そのローカルバスアドレスはAUX_ADRレジスタ（ハードウェアレジスタ定義参照）から生成される。

【0139】PCIとLOCAL間操作は待ち状態が存在するか否かを確認するチェックを行うことで遂行される。待ち状態はPCLオフセット0x18のbufctl/bitcnt/cmdの待ち選択ビットにより判断される。待ち状態がもはや存在していない場合は、DMAはループに入りここで現転送計数値が零に達したかを確認するためのチェックが行われる。もしもそうである場合は、チェックを行ってこれがPCLバッファリストの最終データバッファであるかを確認する。PCLリスト内に別のバッファが存在する場合は、DMAは新たなバッファアドレスと転送計数値とを獲得し転送を遂行する。DMAがデータを転送する一方で、DMA制御レジスタ内のデータバッファ開始アドレスレジスタおよびデータバッファ転送長ビットは転送の現在状態を反映するように更新される。

【0140】バッファからのデータの最終ビットがローカルバスとバッファとの間で転送され、しかもそのバッファが制御/ビット計数PCLワードの最終バッファビットで示されるようにPCLリストの最後である場合、DMAは転送の終端に達したことを知る。DMAはDMA状態レジスタを0x0001の状態を更新し、PKT

CMPがセットされ、そしてPCLのオフセット0xCの所のPCL状態ワードに転送されたバイト数と共に書き込まれる。INTビットがPCLオフセット0x18のbufctl/bitcnt/cmdにセットされると、割り込み信号が発せられて、割り込み状態レジスタ内の対応する(DMA_PCL[x])ビット内にラッチされる。

【0141】次にDMAは現PCLに別のPCLがリンクされているか否かの判断を、次リストアドレス(PCLオフセット0x00)を取り込むことで行う。もしもそれが有効であると、ビット0=0によって表示されている場合は、DMAはこれを現PCLアドレスとして、図に示すように実行を継続する。もしも別のPCLが現PCLにリンクされていない場合は、ビット0=1によって表示され、リンクおよびビジービットがDMA制御レジスタ内で消去され、DMA停止割り込みがこのチャンネルに対して関連する状態(DMA_HLT[x])と共に割り込み状態レジスタ内に生成され、そのチャンネルはアイドル状態となる。

【0142】図31、32はFIFO高レベル機能ブロック図500を示し、GRF80、非同期送信FIFO82、および等時間間隔送信FIFO84に関するFIFO操作を説明している。本発明のFIFOロジックはリンク側クロック領域502とPCI側クロック領域504とを含む。PCI側クロック領域504、FIFO制御ならびに状態レジスタ88は実時間でPCIバスインタフェースロジックにより書き込まれる。また、FIFO制御器状態レジスタ88はポインタアドレス写像ロジック86に対して入力を提供する。ポインタアドレス写像ロジック86はFIFO読み取り書き込みポインタに対するRAMアドレス写像オフセットを生成する。

【0143】二重ポートRAM501はGRF80、非同期送信FIFO82、および等時間間隔送信FIFO84に対するデータ格納部となり、リンク側クロック領域502とPCI側クロック領域504との間の境界部に展開している。1つのPCI側クロック領域504、クロック領域ポインタ翻訳ロジック506はDMAFIFO占有状態ロジック508への入力を生成する。DMAFIFO占有状態ロジック508はDMAロジック信号510に対してFIFO状態を生成する。1つのリンク側クロック領域502、クロック領域ポインタ翻訳ロジック512は、1394送信受信ロジック信号516に対してFIFO状態を生成する、1394FIFO送信機および受信機占有状態ロジック514に対して入力を提供する。

【0144】二重ポートRAM501はマルチプレクサ518およびマルチプレクサ520からアドレス入力を受信する。マルチプレクサ518は汎用受信書き込みポインタ522、非同期送信読み取りポインタ524および等時間間隔送信読み取りポインタ526から入力を受

信する。汎用受信書き込みポインタ 522 は 1394 受信機およびアドレス写像ロジックとから制御を受ける。非同期送信読み取りポインタ 524 および等時間間隔送信読み取りポインタ 526 は 1394 受信機およびアドレス写像ロジックとから制御を受ける。汎用受信書き込みポインタ 522、非同期送信読み取りポインタ 524 および等時間間隔送信読み取りポインタ 526 からの出力は、全て送信機および受信機占有状態ロジック 514、クロック領域ポインタ翻訳ロジック 506 およびマルチプレクサ 518 に送られる。

【0145】汎用受信ポインタ 528、非同期送信書き込みポインタ 530、および等時間間隔送信書き込みポインタ 532 は全て DMA ロジックおよびアドレス写像ロジックから制御を受ける。汎用受信ポインタ 528、非同期送信書き込みポインタ 530、および等時間間隔送信書き込みポインタ 532 は全て DMA F I F O 状態ロジック 508、クロック領域ポインタ翻訳ロジック 512、およびマルチプレクサ 520 に出力を提供する。

【0146】二重ポート RAM 501 はまた、1394 受信ロジックから 33 ビットデータバス 534 経由でデータ入力、リンククロック 25 MHz 信号 536、そして制御を線 538 経由で 1394 送信／受信ロジックから受信する。また、1394 送信／受信ロジック 538 からの制御はリンク側アドレスマルチプレクサ 518 に送られる。バイトバックロジック 540 は DMA 読み取りデータをホストメモリから、DMA ロジックからの制御を経由して受信し、出力を 33 ビットデータバス 542 上に提供し、これは二重ポート RAM 501 の P C I 側データ入力に送られる。バイトアンバックロジック 544 は二重ポート RAM 501 P C I 側データ出力 33 ビットバス 546 からデータ出力を受信し、ホストメモリに対して DMA 書き込みデータを提供する。また、DMA ロジックからの制御はバイトアンバックロジック 544、マルチプレクサ 520 および二重ポート RAM 501 に送られる。零から 33 MHz P C I クロック信号は二重ポート RAM 501 に送られる。

【0147】図 2 ならびに関連する説明文の中で行った説明に関連して、F I F O、G R F 80、非同期送信 F I F O 82、および等時間間隔伝送 F I F O 84 の機能に関する更に詳細な説明を以下に行う。

【0148】F I F O 状態ロジック 514 および 516 は各々の論理 F I F O に対する占有状態を生成するのに必要なロジックを実行する。P C I 側 F I F O 状態を計算する際に、リンクから P C I クロック領域への翻訳ロジックは、F I F O のリンク側上の各ポインタの現在値をサンプリングし、これらのサンプルをもとにリンククロック領域から P C I クロック領域への翻訳を行う。各々の翻訳されたリンク側ポインタは、その対応する P C I 側ポインタと比較され、各 F I F O の占有状態が生成

される。この状態は DMA ロジックで使用されて、ホストメモリと F I F O との間のデータ転送のベースがとられる。同様にリンク側 F I F O 状態を計算する際に、P C I からリンククロック領域への翻訳ロジックは、F I F O の P C I 側上の各ポインタの現在値をサンプリングし、これらのサンプルの P C I クロック領域からリンククロック領域への翻訳を行う。各々の翻訳された P C I 側ポインタは、その対応するリンク側ポインタと比較され、各 F I F O の占有状態が計算される。この状態は 1394 送信／受信ロジックで用いられ、1394 バスと F I F O との間のデータ転送のベースがとられる。

【0149】バイトバックロジック 540 はホストメモリからの全クウォドレットデータ読み取りを、バイト単位で整列されたアドレス上に動作中 DMA チャンネル経由で集合させるロジックを実行する。このロジックは好適に 4 つの 8 ビット幅レジスタと 4 つの 8 対 1 マルチプレクサとを含む。各レジスタとマルチプレクサとの対は 1 つのバイト列に対応する。各レジスタの入力は入力バイト列に接続され、これは動作中 DMA チャンネルによってホストメモリに切り替えられる。各マルチプレクサの出力は出力バイト列に接続され、これは F I F O を駆動する。各々の 8 対 1 マルチプレクサに対して、4 つの入力は 1 対 1 対応で各レジスタ出力に接続される。残りの 4 つの入力は 1 対 1 対応で各レジスタ入力に接続される。この構成により 4 つの入力バイト列からのビット配列 DMA 読み取りデータを異なる順序で 4 つの出力バイト列に切り替えることが可能となる。バイト列マルチプレクサの制御は動作中 DMA 読み取りチャンネルで行われる。

【0150】バイトアンバックロジック 544 は、ホストメモリにバイト単位で整列されたアドレス上に動作中 DMA チャンネル経由で、書き込むために F I F O から個々の選択可能なバイトヘクウォドレットデータ読み取りを解体するために必要なロジックを実行する。このロジックは 4 つの 8 ビット幅レジスタと 4 つの 8 対 1 マルチプレクサとで構成される。各レジスタとマルチプレクサとの対は 1 つのバイト列に対応する。各レジスタの入力は入力バイト列に接続され、これは F I F O から駆動される。各マルチプレクサの出力は出力バイト列に接続され、これは DMA チャンネルによってホストメモリに切り替えられる。各々の 8 対 1 マルチプレクサに対して 4 つの入力が 1 対 1 対応で各レジスタ出力に接続される。残りの 4 つの入力は 1 対 1 対応で各レジスタ入力に接続される。この構成で F I F O からのクウォドレット読み取りを異なる順序で出力バイト列上に切り替えることが可能となる。バイト列マルチプレクサの制御は動作中 DMA 書き込みチャンネルによって行われる。

【0151】本発明を詳細に渡って説明してきたが、種々の変更、代入および改造が添付の請求項で定義された本発明の精神ならびに範囲から逸脱することなく実行で

きることを理解されたい。

【0152】以上の説明に関して更に以下の項を開示する。

(1) 直接メモリアクセス (DMA) チャンネル優先順位を、転送される個々のデータパケットに関連するデータパケット転送機器に対して割り当て、前記直接メモリアクセスチャンネルの迅速なスケジューリングを提供することにより、データ転送行動を最適化するための方法であって：データパケット転送機器に対する物理媒体インタフェース上のデータパケットに関連するDMAチャンネルを判定し；物理媒体インタフェース上で現在動作中のデータ転送に関連するDMAチャンネル番号に関係する情報を、DMA調停ロジックに前記DMAチャンネル番号に最も高い優先順位値を割り当てて供給し；現在動作中DMAチャンネルへのサービスを予め定められた境界条件が存在するまで継続し；そして境界条件が発生したことを判定した時点で、DMAエンジンの実行を最も高い優先順位を有するDMAチャンネルに移動する、以上の手順を含む、前記方法。

【0153】(2) 第1項記載の方法に於いて、前記移動する手順が、前記境界条件がPCI転送完了状態を含むときに、DMAチャンネルを移動する手順を含む、前記方法。

【0154】(3) 第1項記載の方法に於いて、前記移動する手順が、前記境界条件が受信チャンネルが受信FIFOの中にデータを書き込んだことを含むときに、DMAチャンネルを移動する手順を含む、前記方法。

【0155】(4) 第1項記載の方法に於いて、前記移動する手順が、前記境界条件がDMAチャンネルの受信データ待ちを含むときに、DMAチャンネル実行を移動

【0156】(5) 第1項記載の方法が更に、現在動作中DMAチャンネルを示す現在DMAチャンネル信号を生成するための手順を含む、前記方法。

【0157】(6) 第1項記載の方法が更に、利用可能保留チャンネルのサブセットに基づいてDMAチャンネル

【0158】(7) 第1項記載の方法が更に、プログラムの選択可能なDMAチャンネルのサブセットに基づいてDMAチャンネル実行を移動する手順を含む、前記方法。

【0159】(8) 第1項記載の方法に於いて、前記移動する手順が、DMAチャンネルが前記DMAチャンネルの外部での動作が生じることを待つことを前記境界条件が含む時に、DMA実行を移動する手順を含む、前記方法。

【0160】(9) PCIシリアルバスインタフェース機器内で、転送される特定のデータパケットに関連したデータパケット転送機器にDMAチャンネル優先順位を割り当て、前記DMAチャンネルの迅速なスケジューリ

ングを行い、データ転送行動の最適化を図る、直接メモリアクセス (DMA) チャンネル回路であって：データパケット転送機器用の物理媒体インタフェース上のデータパケットに関連するDMAチャンネルを決定するためのDMAチャンネル決定回路と；物理媒体インタフェース上で現在動作中のデータ転送に関連するDMAチャンネル番号に関係する情報を、DMA調停ロジックに前記DMAチャンネル番号に最も高い優先順位値を割り当てて供給するマイクロプロセッサDMAチャンネル用の命令と；現在動作中DMAチャンネルへのサービスを予め定められた境界条件が存在するまで継続するためのマイクロプロセッサDMAチャンネルサービス命令と；そして境界条件が発生したことを判定した時点で、DMAエンジンの実行を最も高い優先順位を有するDMAチャンネルに移動するための移動回路とを含む、前記DMAチャンネル回路。

【0161】(10) 第9項記載のDMAチャンネル回路に於いて、前記移動回路が、前記境界条件がPCI転送完了状態を含むときに、DMAチャンネルを移動する回路を含む、前記DMAチャンネル回路。

【0162】(11) 第9項記載のDMAチャンネル回路に於いて、前記移動回路が、前記境界条件が受信チャンネルが受信FIFOの中にデータを書き込んだことを含むときに、DMAチャンネルを移動する回路を含む、前記DMAチャンネル回路。

【0163】(12) 第9項記載のDMAチャンネル回路に於いて、前記移動回路が、前記境界条件がDMAチャンネルの受信データ待ちを含むときに、DMAチャンネル実行を移動する回路を含む、前記DMAチャンネル回路。

【0164】(13) 第9項記載のDMAチャンネル回路が更に、現在動作中DMAチャンネルを示す現在DMAチャンネル信号を生成するための生成回路を含む、前記DMAチャンネル回路。

【0165】(14) 第9項記載のDMAチャンネル回路が更に、利用可能保留チャンネルのサブセットに基づいてDMAチャンネル実行を移動するDMAチャンネル移動回路を含む、前記DMAチャンネル回路。

【0166】(15) 第9項記載のDMAチャンネル回路が更に、プログラムの選択可能なDMAチャンネルのサブセットに基づいてDMAチャンネル実行を移動する回路を含む、前記DMAチャンネル回路。

【0167】(16) 第9項記載のDMAチャンネル回路に於いて、前記移動回路が、DMAチャンネルが前記DMAチャンネルの外部での動作が生じることを待つことを前記境界条件が含む時に、DMA移動を実行する回路を含む、前記DMAチャンネル回路。

【0168】(17) パーソナルコンピュータシステムであって：データパケット転送バスを採用した少なくともひとつの周辺機器と；コンピュータとを含み、前記コ

ンピュータが、P C Iバスを含むホストCPUと；前記P C Iバスと前記周辺機器との間のインタフェースを行うP C Iインタフェース機器であって、該P C Iインタフェース機器が、転送される特定のデータパケットに関連したデータパケット転送機器にDMAチャンネル優先順位を割り当て、前記DMAチャンネルの迅速なスケジューリングを行い、データ転送の最適化を図る、直接メモリアクセス（DMA）チャンネル回路を含み、前記DMAチャンネル回路が、データパケット転送機器用の物理媒体インタフェース上のデータパケットに関連するDMAチャンネルを決定するためのDMAチャンネル決定回路と；物理媒体インタフェース上で現在動作中のデータ転送に関連するDMAチャンネル番号に関係する情報を、前記DMAチャンネル番号に最も高い優先順位値を割り当ててDMA調停ロジックに供給するためのマイクロプロセッサDMAチャンネル命令と；現在動作中DMAチャンネルへのサービスを予め定められた境界条件が存在するまで継続するためのマイクロプロセッサDMAチャンネルサービス命令と；境界条件が発生したことを判定した時点で、DMAエンジンの実行を最も高い優先順位を有するDMAチャンネルに移動するための移動回路とを含む、前記パーソナルコンピュータシステム。

【0169】（18）第17項記載のDMAチャンネル回路に於いて、前記移動回路が、前記境界条件がP C I転送完了状態を含むときにDMAチャンネルを移動する回路を含む、前記DMAチャンネル回路。

【0170】（19）第17項記載のDMAチャンネル回路に於いて、前記移動回路が、前記境界条件が受信チャンネルが受信F I F Oの中にデータを書き込んだことを含むときにDMAチャンネルを移動する回路を含む、前記DMAチャンネル回路。

【0171】（20）第17項記載のDMAチャンネル回路に於いて、前記移動回路が、前記境界条件がDMAチャンネルの受信データ待ちを含むときに、DMA実行を移動する回路を含む、前記DMAチャンネル回路。

【0172】（21）P C Iインタフェース機器20内で、最も高いDMAチャンネル74優先順位を物理媒体インタフェース上で現在動作中のデータ転送に関連したDMAチャンネル番号に基づいて割り当てる。本発明は、現在転送動作中のデータパケットに関するこの優先順位情報をDMA調停ロジック348に供給し、現在動作中のDMAチャンネルのサービスを予め定められた境界条件が存在するまで継続する。この方法およびシステム300は、DMAチャンネルの実行をこの最も高い優先順位DMAチャンネルへ、境界条件が生じたことを確認した時点で移動させる。

【図面の簡単な説明】

【図1】本発明を組み入れたパーソナルコンピュータ環境の動作概要図を図示する。

【図2】本発明の機能ロジックの一般的動作概要図を示

す。

【図3】本発明の比較ロジックの概念図を図示する。

【図4】本発明の比較ロジックの更に詳細な概念表現を示す。

【図5】本発明のパケット受信機ロジックのヘッダ比較機能の更に詳細を図示する。

【図6】本発明に適用される一致データセットフィールドとして考えられるデータ値を図示する。

【図7】本発明に適用される一致データセットフィールドとして考えられるデータ値を図示する。

【図8】本発明に適用される一致データセットフィールドとして考えられるデータ値を図示する。

【図9】本発明に適用される一致データセットフィールドとして考えられるデータ値を図示する。

【図10】本発明のプログラム可能選択的書き込み可能データフリップフロップのひとつの実施例を図示する。

【図11】本発明のプログラム可能ビット選択機能を実現するための、アドレスフィールド例を示す。

【図12】時分割多重処理されている直接メモリアクセス、多重チャンネル環境の図を示し、本発明のDMA命令処理動作を図示する。

【図13】現時点で動作中のチャンネルに基づく優先順位の割り当てを図示する表を示す。

【図14】自動ブート機能に適用可能な、本発明のインタフェース装置構造の一部を示す。

【図15】図14の自動ブートピンが動作中状態にセットされた際の、内部P C Iアドレスバスのビット31及び30に対応するP C Iマスタバス命令の表を示す。

【図16】本発明のローカルバスインタフェースをブロック図形式で示す。

【図17】水平および垂直同期信号を検出するための本発明のインタフェース装置のロジックを図式的に示す。

【図18】単一データパケットを単一走査線へ誘導する操作を含む、本発明の別の機能を図示する。

【図19】単一データパケットを多重ビデオ走査線に写像するための、本実施例の動作を示す。

【図20】本発明のDMAパケット処理装置で使用されるパケット制御リストデータ構造ならびにデータバッファのメモリマップを図示する。

【図21】DMA機械の部分的流れ図を示し、本発明のパケット処理装置動作を図示する。

【図22】DMA機械の部分的流れ図を示し、本発明のパケット処理装置動作を図示する。

【図23】DMA機械の部分的流れ図を示し、本発明のパケット処理装置動作を図示する。

【図24】DMA機械の部分的流れ図を示し、本発明の非同期送信動作を図示する。

【図25】DMA機械の部分的流れ図を示し、本発明の非同期送信動作を図示する。

【図26】DMA機械の部分的流れ図を示し、本発明の

非同期送信動作を図示する。

【図 27】DMA 機械の部分的流れ図を示し、本発明の等時間間隔送信動作を図示する。

【図 28】本発明の補助機能流れ図の例を示す。

【図 29】本発明の補助機能流れ図の例を示す。

【図 30】DMA 機械の部分的流れ図を示し、本発明のローカルバス／PCIバス相互通信動作を図示する。

【図 31】本発明のFIFO回路の中で生じる機能の、高いレベルでの概念図である。

【図 32】本発明のFIFO回路の中で生じる機能の、10 高いレベルでの概念図である。

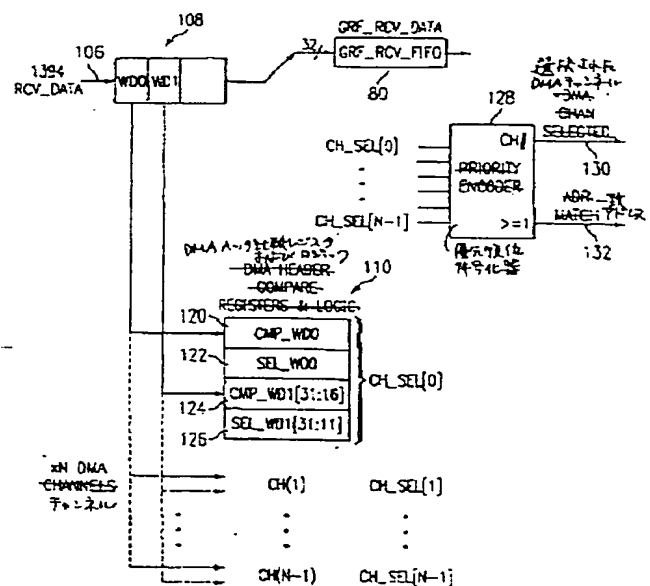
【符号の説明】

- 10 パーソナルコンピュータ環境
- 12 パーソナルコンピュータ
- 14 周辺機器
- 16 インタフェースバス
- 18 3ポート物理層インタフェース
- 20 PCIインタフェースASIC
- 22 シリアルEPROM
- 24 PCIバス
- 26 補助ポートローカルバス
- 28 ローカルバス
- 30、31 アドレスビット
- 34 PCIホストブリッジ
- 36 フラッシュPROM
- 38 (DMA) チャンネル制御静的RAM (SRAM)
- 40 使用者定義機能 (AUX)
- 42 ビデオ入出力用ズームビデオ (ZV) ポート
- 46 ローカルメモリ
- 48 CD ROM装置
- 50 レーザプリンタ
- 52 デスクトップカメラ
- 56 ビデオケーブルセットトップボックス
- 60 PCIバスロジック
- 62 シリアルEPROMインタフェース
- 64 PCIマスタロジック
- 66 PCISレーブロジック
- 68 PCI構成制御ならびに状態レジスタ
- 70 ローカルバスインタフェースロジック
- 72 DMAロジック
- 74 DMAエンジン
- 76 DMA制御ならびに状態レジスタ
- 78 FIFOロジック
- 80 汎用受信FIFO
- 82 非同期伝送FIFO
- 84 等時間間隔伝送FIFO
- 86 ポインタアドレス写像ロジック
- 88 FIFO制御ならびに状態レジスタ
- 90 リンク層制御ロジック

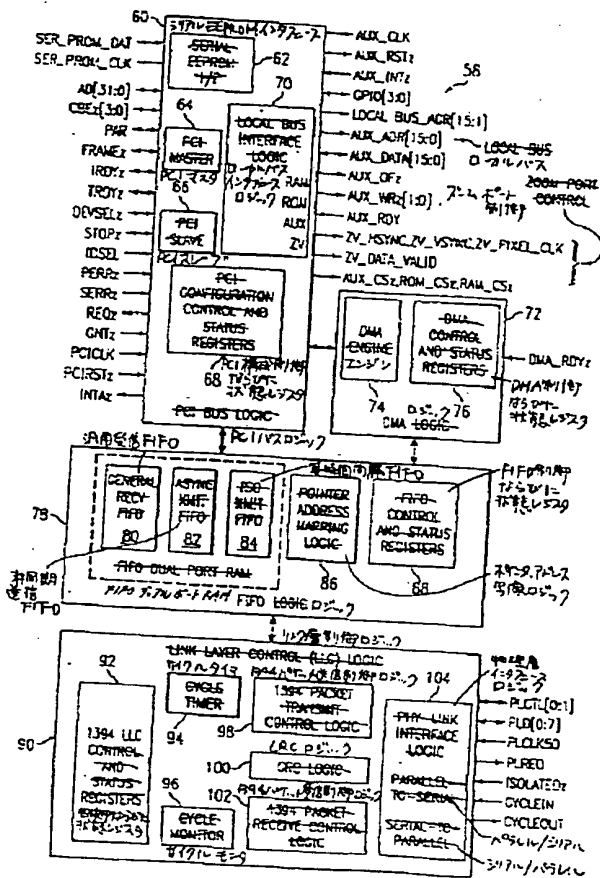
- 92 制御ならびに状態レジスタ
- 94 周期監視ロジック
- 96 周期タイマロジック
- 98 パケット伝送制御ロジック
- 100 CRCロジック
- 102 パケット受信機制御ロジック
- 104 物理リンクインタフェースロジック
- 106 受信データ
- 110 DMAヘッダ比較レジスタおよびロジック
- 120 DMAチャンネルヘッダ比較ロジック
- 128 優先順位符号化器
- 129 論理OR回路
- 136 行き先ID比較ロジック
- 140 転送コード比較ロジック
- 144、146 比較ロジック
- 150 AND機能
- 160 転送コード
- 162 非同期ヘッダ
- 164 転送コードビット
- 20 166 等時間間隔ヘッダ
- 250 レジスタ書き込み回路
- 252 汎用I/O (GPIO) 書き込みデータ入力
- 254 データフリップフロップ
- 256 クロック信号
- 258 書き込み可能入力
- 260 AND機能
- 262 GPIOアドレス了承信号
- 264 書き込み標準信号
- 266 GPIOアドレスビット入力
- 30 300 DMA命令処理環境
- 302 PCIレジスタ書き込みデータ
- 304 マルチプレクサ
- 306 DMAレジスタ書き込みデータ
- 310 DMAレジスタ
- 312 前回アドレスまたは暫定フィールド
- 314 パケット制御リスト開始アドレスレジスタ
- 316 DMAバッファ開始アドレスレジスタ
- 320 DMA状態レジスタ
- 322 DMA制御レジスタ
- 40 324 現DMA状態レジスタ
- 326 準備完了ビット
- 328 DMAレジスタ書き込み調停選択回路
- 330 PCISレーブ信号
- 332 PCIMスタ信号
- 334 DMA PCIマスタ周期入力
- 336 スレーブ終了入力
- 340 DMAチャンネル調停器
- 342 ロックチャンネル入力
- 344 マルチプレクサ
- 50 346 マルチプレクサ

- | | | |
|----|-------|------------------------|
| | 4 8 4 | 条件成立時の行き先アドレス |
| | 5 0 1 | 二重ポート R A M |
| | 5 0 2 | リンク側クロック領域 |
| | 5 0 4 | P C I 側クロック領域 |
| | 5 0 6 | クロック領域ポインタ翻訳ロジック |
| | 5 0 8 | D M A F I F O 占有状態ロジック |
| | 5 1 0 | D M A ロジック信号 |
| | 5 1 2 | クロック領域ポインタ翻訳ロジック |
| | 5 1 4 | 送信機および受信機占有状態ロジック |
| 10 | 5 1 6 | 1 3 9 4 送信受信ロジック信号 |
| | 5 1 8 | マルチプレクサ |
| | 5 2 0 | マルチプレクサ |
| | 5 2 2 | 汎用受信書き込みポインタ |
| | 5 2 4 | 非同期送信読み取りポインタ |
| | 5 2 6 | 当時間間隔送信読み取りポインタ |
| | 5 2 8 | 汎用受信ポインタ |
| | 5 3 0 | 非同期送信書き込みポインタ |
| | 5 3 2 | 当時間間隔送信書き込みポインタ |
| | 5 3 6 | リンククロック 2 5 M H z 信号 |
| 20 | 5 3 8 | 1 3 9 4 送信／受信ロジック |
| | 5 4 0 | バイトバックロジック |
| | 5 4 2 | 3 3 ビットデータバス |
| | 5 4 6 | P C I 側データ出力 3 3 ビットバス |

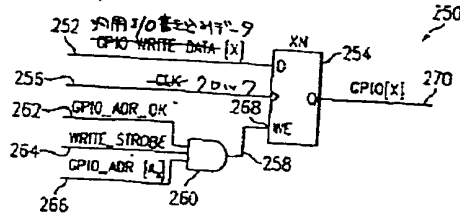
【図 4】



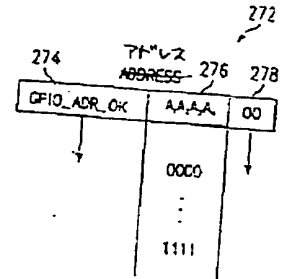
【図 2】



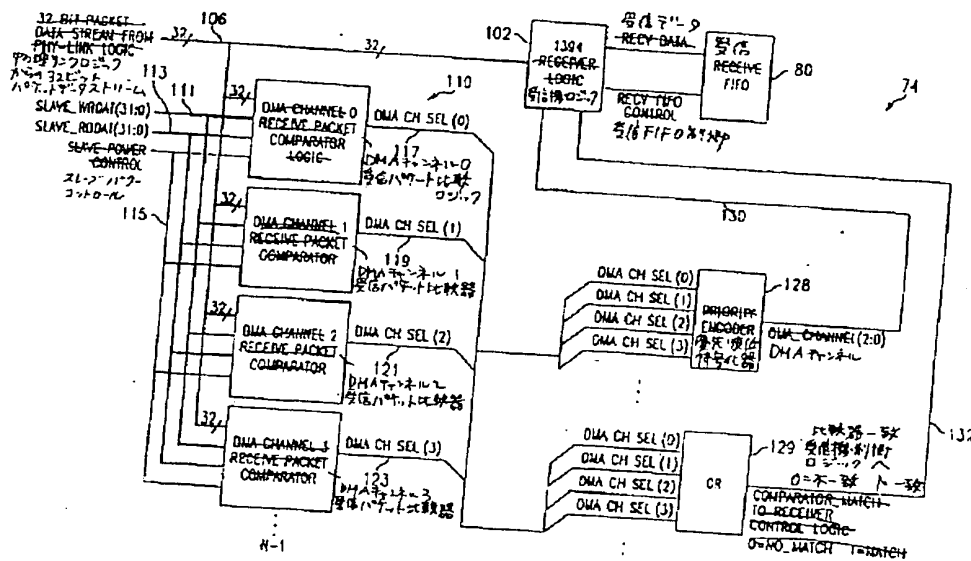
【図 10】



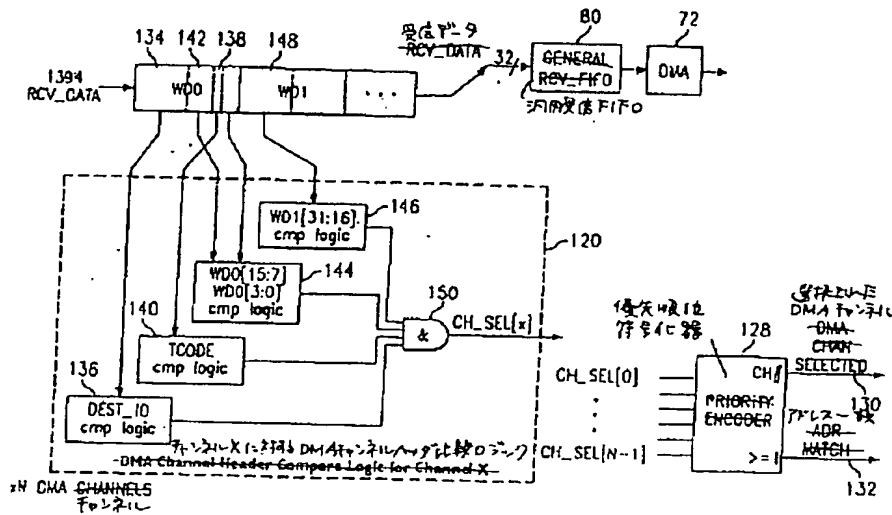
【図 11】



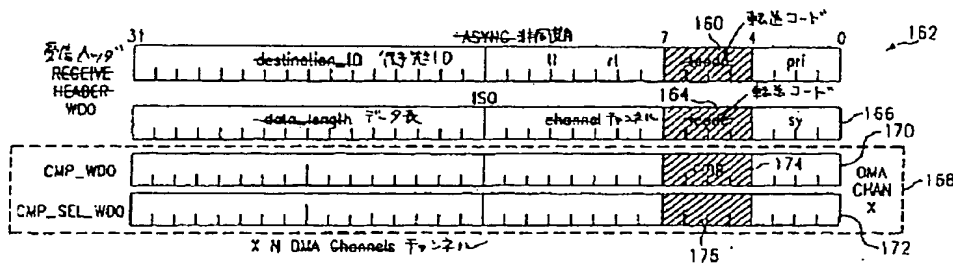
【図 3】



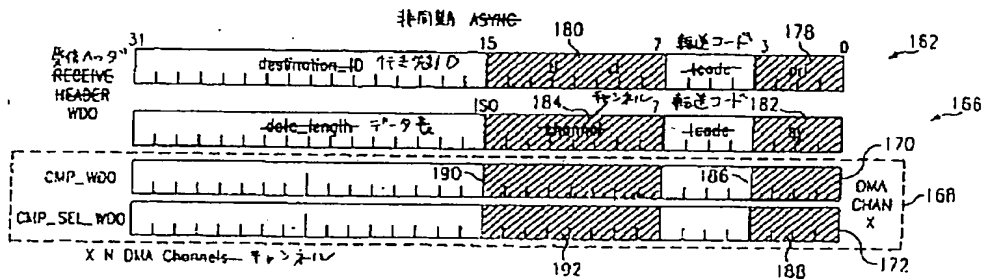
【図 5】



【図 6】



【図 7】



【図 15】

内部 PCI アドレス
Internal PCI Address

addr[31]	addr[30]	Function 機能
0	X	PCI memory Command メモリ命令
1	0	PCI I/O Command 命令
1	1	PCI Configuration Command 構成命令

【図 17】

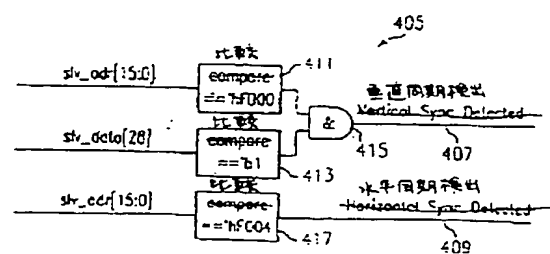
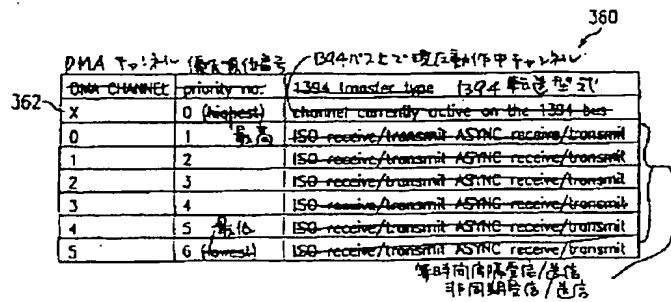


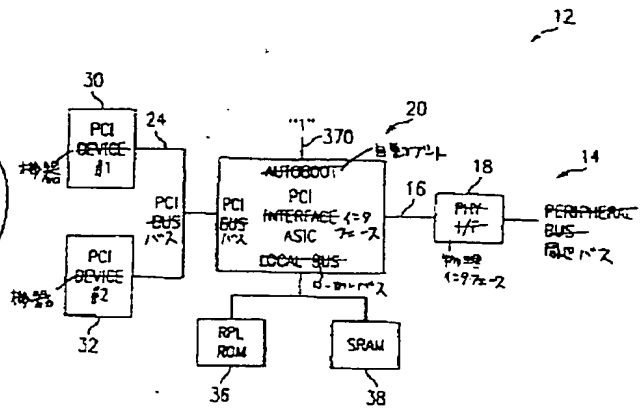
Figure 1 is a block diagram illustrating the data structure of received data. The diagram shows a sequence of data blocks, each represented by a horizontal bar with a hatched pattern. The blocks are labeled with reference numerals 200, 202, 204, 206, 208, and 210. The blocks are organized into channels (li, ri, lcode, pri, sy) and are associated with various fields (ID, ISO, channel, lcode, sy). The diagram also indicates the number of channels (x N DMA Channels) and the total number of channels (272).

Diagram illustrating a multi-channel communication system structure. The diagram shows a central block labeled "RECEIVE HEADER WDI" with a "31" bit field and a "220" bit field. To its right is an "ASYNC 非同歩" block with a "15" bit field and a "variable" field. Below these are four channels labeled "CNP_WDI", "CNP_SEL_WDI", and "X N DNA Channels From 2 to X". Each channel has a "222" bit field and a "224" bit field. The channels are grouped by a dashed line labeled "DNA CHAN X" and "100". The diagram also shows bit positions 0, 162, 166, 170, and 172.

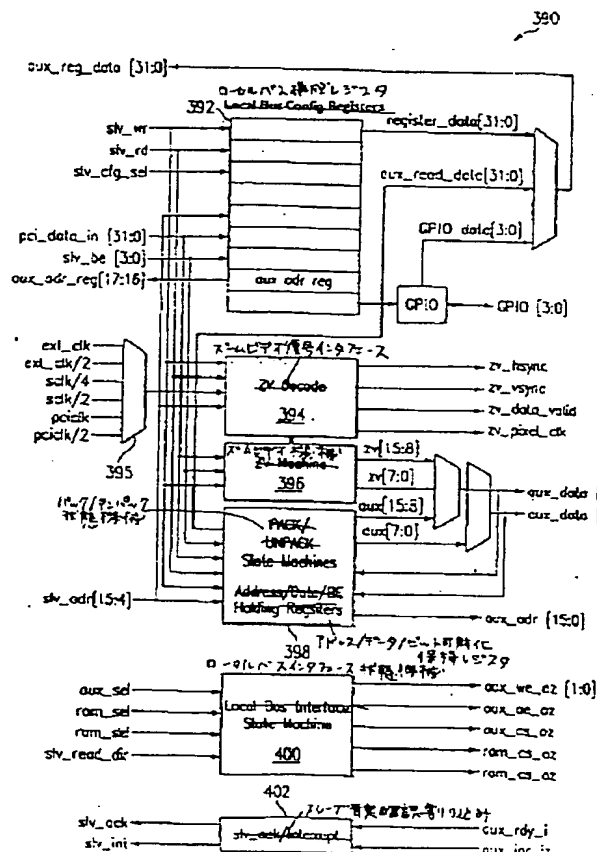
【圖 13】



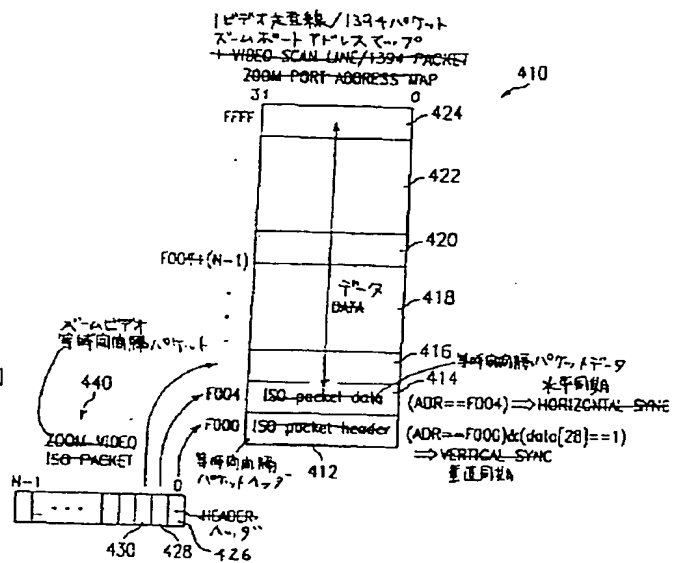
【圖 14】



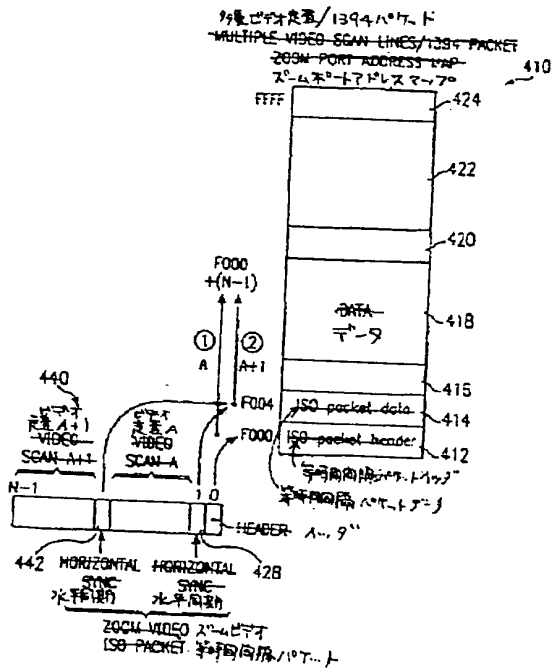
【圖 16】



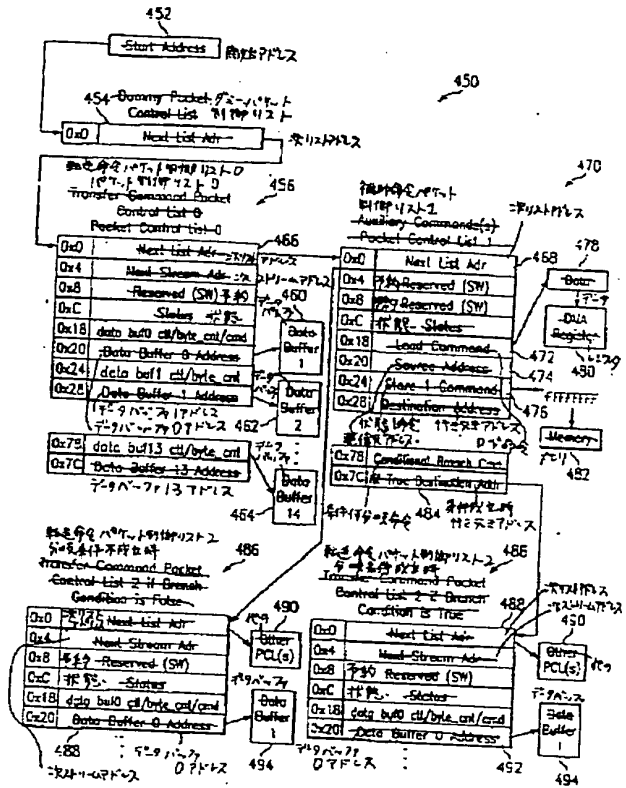
【图 18】



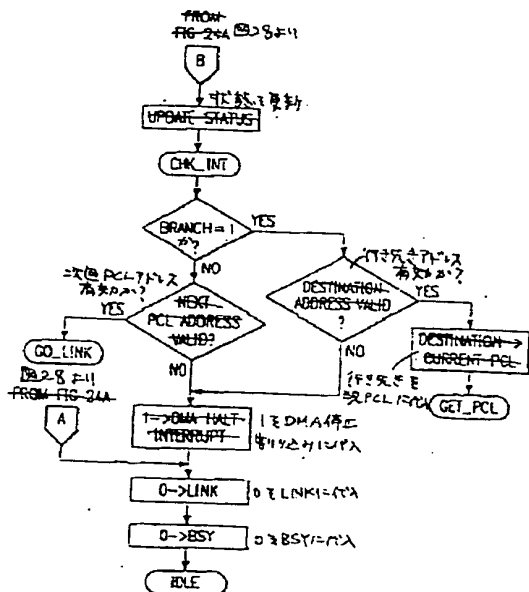
【図 19】



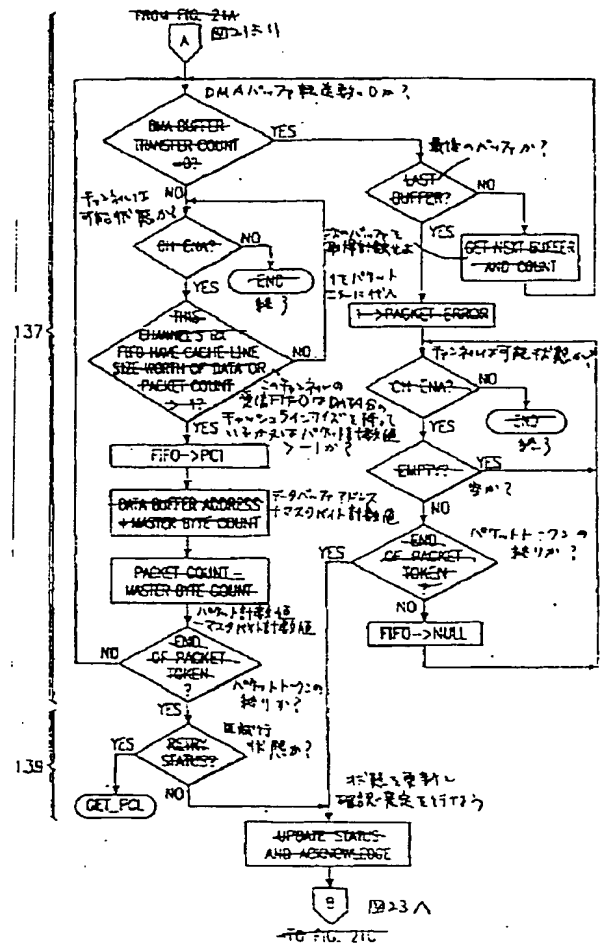
【図 20】



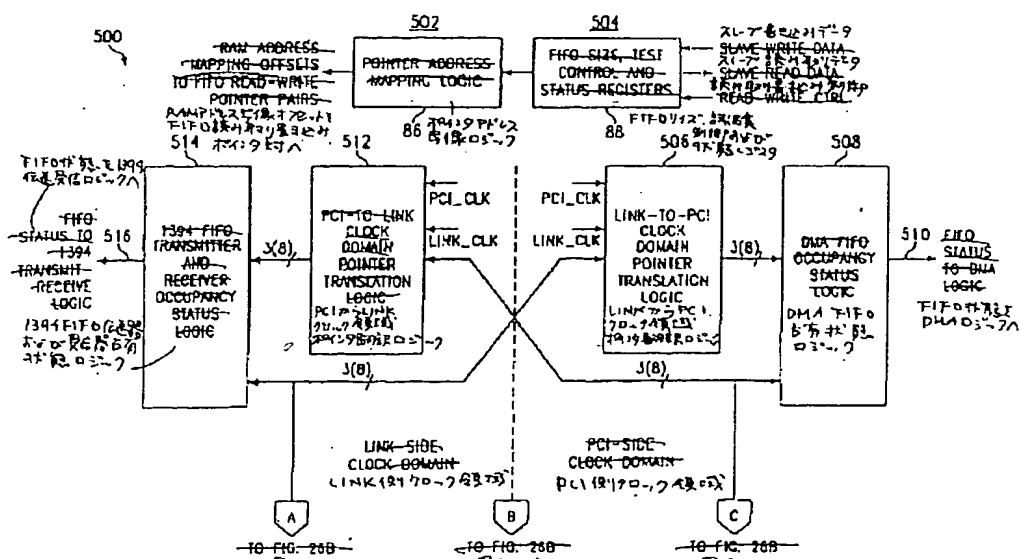
【図 29】



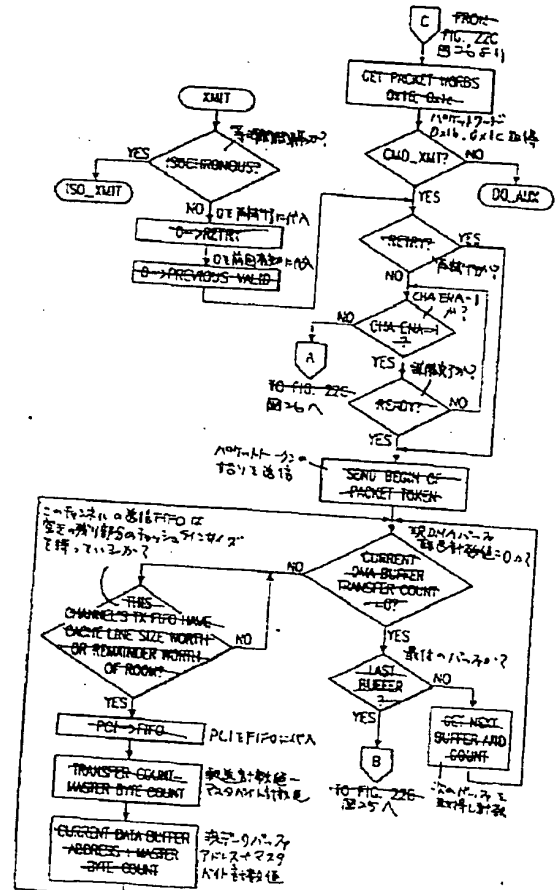
【圖 2 2】



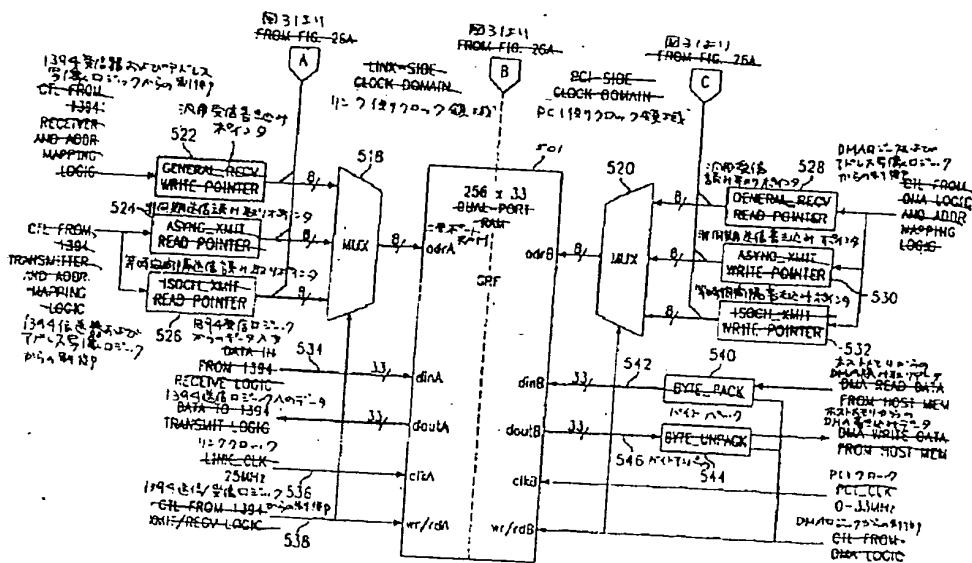
【图 3 1】



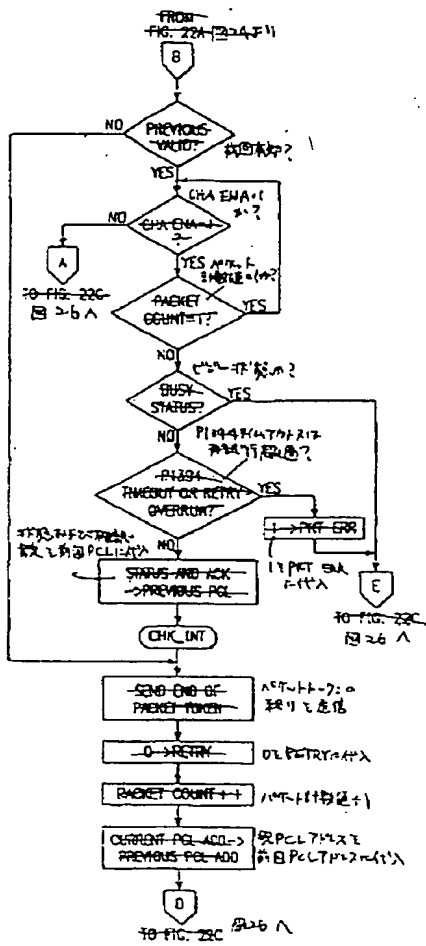
【圖 24】



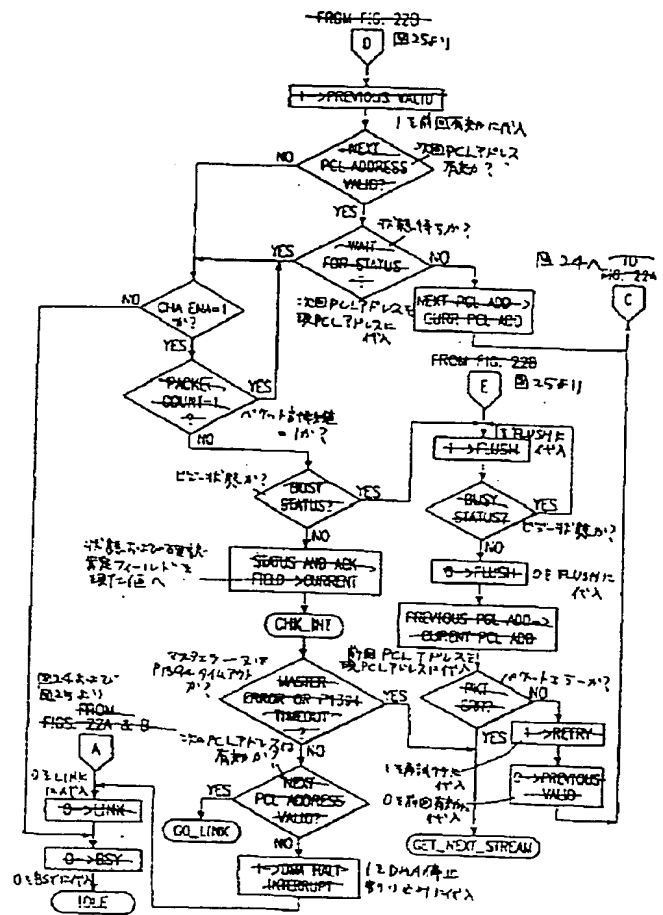
【圖 3 2】



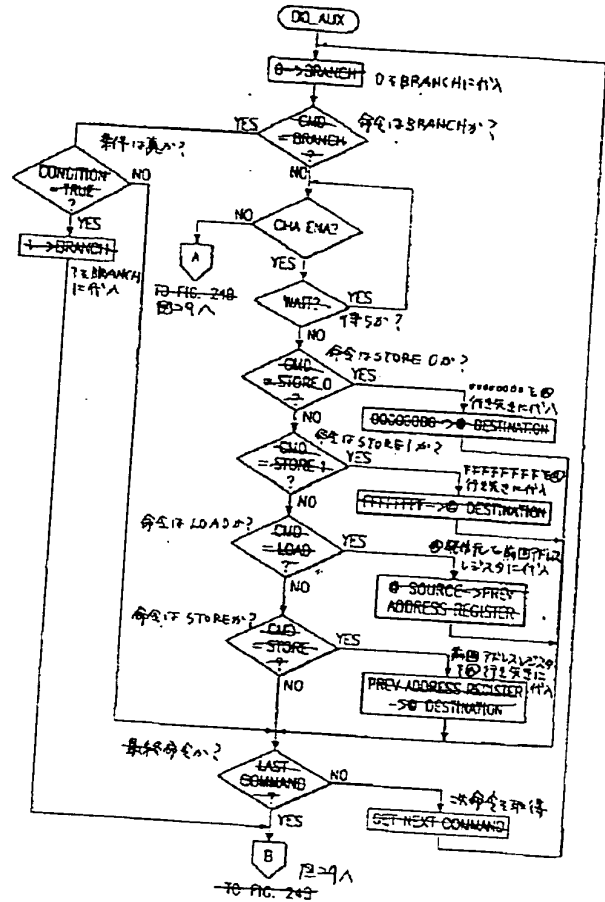
【図 25】



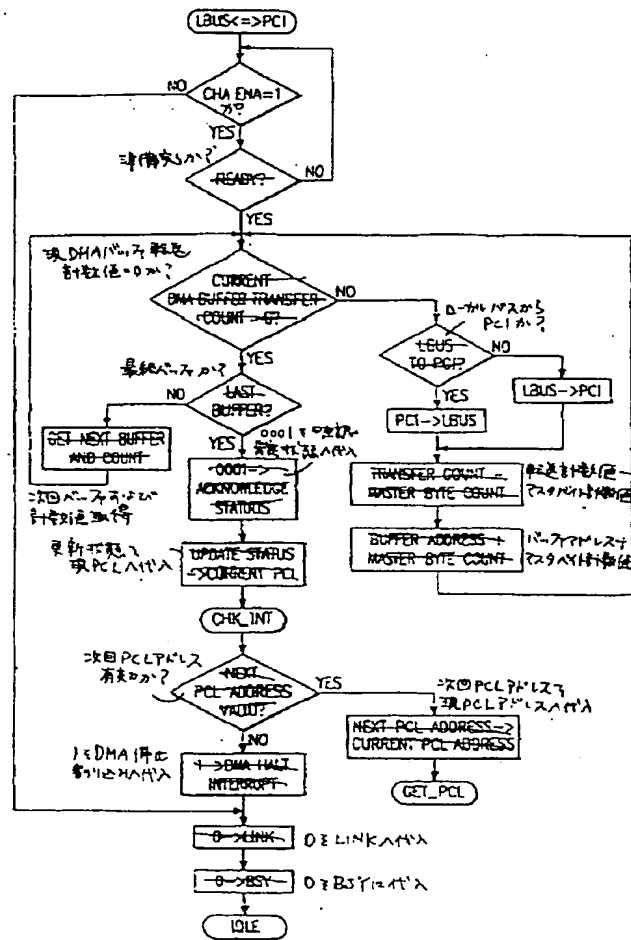
【図 26】



【圖 28】



【図 30】



THIS PAGE BLANK (USPTO)